

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
:  
**Tsukasa OOISHI** :  
:  
Serial No.: : Group Art Unit:  
:  
Filed: July 24, 2003 : Examiner:  
:  
For: THIN FILM MAGNETIC MEMORY DEVICE AND MANUFACTURING METHOD  
THEREFOR

**CLAIM OF PRIORITY AND**  
**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-022230(P), filed January 30, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:mcw  
Facsimile: (202) 756-8087  
Date: July 24, 2003

日本国特許庁  
JAPAN PATENT OFFICE

67161-072

T. OOISHI  
July 24, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application: 2003年 1月30日

出願番号

Application Number: 特願2003-022230

[ST.10/C]:

[JP2003-022230]

出願人

Applicant(s): 三菱電機株式会社

2003年 2月25日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3010907

【書類名】 特許願  
【整理番号】 542943JP01  
【提出日】 平成15年 1月30日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 11/15  
H01L 27/105

## 【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 大石 司

## 【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

## 【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

## 【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

## 【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

## 【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜磁性体記憶装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体基板の主表面上に設けられ、メモリ素子として動作する磁性体メモリセルと、

前記磁性体メモリセルに接触する第1の面と、前記第1の面の反対側に位置し、前記第1の面の面積よりも小さい面積で形成された第2の面とを有するバッファ層と、

前記磁性体メモリセルと交差するように一方向に延在し、前記第2の面に接触する配線とを備える、薄膜磁性体記憶装置。

【請求項2】 前記バッファ層は、チタンおよびタンタルの少なくとも一方を含む、請求項1に記載の薄膜磁性体記憶装置。

【請求項3】 前記バッファ層は、半導体基板の主表面に平行な面上での断面積が、前記第1の面から前記第2の面に向かうに従って小さくなるように形成されている、請求項1または2に記載の薄膜磁性体記憶装置。

【請求項4】 前記磁性体メモリセルは、半導体基板の主表面に平行な面上での断面が円形形状を有するように形成されている、請求項1から3のいずれか1項に記載の薄膜磁性体記憶装置。

【請求項5】 半導体基板の主表面上において導電体膜を堆積する工程と、前記導電体膜上に磁性体膜を含む積層膜を堆積する工程と、

前記積層膜上に第1のマスク膜を形成する工程と、

前記第1のマスク膜をマスクとして前記積層膜の一部分および前記導電体膜の一部分をエッティングするとともに他の部分を残存させることによって、所定の間隔を隔てて帯状に延在し、かつ前記導電体膜を含む第1および第2の配線を形成するとともに、前記第1および第2の配線上に前記第1および第2の配線と同一形状の帯状の積層膜を形成する工程と、

前記帯状の積層膜上に、前記第1および第2の配線に交差するように延在する第2のマスク膜を形成する工程と、

前記第2のマスク膜をマスクとして前記帯状の積層膜の一部分をエッティングす

るとともに他の部分を残存させることによって、メモリセルとして動作する磁性体メモリセルを形成する工程とを備える、薄膜磁性体記憶装置の製造方法。

【請求項6】 前記磁性体メモリセルを形成する工程の後に、前記磁性体メモリセルに等方性エッチングを行なうことによって、半導体基板の主表面に平行な面上における前記磁性体メモリセルの断面を円形形状とする工程をさらに備える、請求項5に記載の薄膜磁性体記憶装置の製造方法。

【請求項7】 前記第2のマスク膜が前記第1および第2の配線に交差する方向は傾いている、請求項5または6に記載の薄膜磁性体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、一般的には、薄膜磁性体記憶装置およびその製造方法に関し、より特定的には、微細化のための構造を備える薄膜磁性体記憶装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、次世代の半導体記憶装置として、MRAM (Magnetic Random Access Memory) が研究されている。MRAMのメモリセルアレイ構成としては、磁気トンネル接合 (MTJ ; Magnetic Tunnel Junction) を含むTMR (Tunneling Magnetoresistive) 素子とセル選択トランジスタとからなる、いわゆる1トランジスタ1MTJ型が例として挙げられる。また、TMR素子と、たとえばセル選択ダイオードとからなる、いわゆるクロスポイント型のメモリセルが他の例として挙げられる。

【0003】

1トランジスタ1MTJ型のメモリセルの構造をより詳細に説明すると、MRAMのメモリセルは、半導体基板上に形成されたトランジスタと、ストラップを介してトランジスタに電気的に接続されるTMR素子と、上方に位置するTMR素子との間に絶縁体膜を介して延在するディジット線と、下方に位置するTMR素子との間にバッファ層を介して延在するビット線とを備える。そして、ディジ

ット線およびビット線に電流を流すことによって発生する磁場を用いて、TMR素子の磁気トンネル接合を構成するフリー層としての強磁性体層の磁化方向を変更しメモリセルのデータの書き換えを行なっている。

【0004】

このMRAMのメモリセルについては、たとえば特開2002-204010号公報に磁気抵抗素子として開示されている（特許文献1）。特許文献1に開示された磁気抵抗素子は、基板上に形成された下部電極兼下地層と、下部電極兼下地層上に形成された固定磁性層と、固定磁性層上に形成された中間層と、中間層上に形成された自由磁性層とを備える。基板上に形成されたこれら各層からなる積層膜は、2μmから10μm角のメサ型に微細加工されている。

【0005】

またMRAMのメモリセルについて開示する別の文献としては、特開2002-305290号公報が挙げられる（特許文献2）。

【0006】

【特許文献1】

特開2002-204010号公報

【0007】

【特許文献2】

特開2002-305290号公報

【0008】

【発明が解決しようとする課題】

このようなMRAMのメモリセルは、所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって形成される。しかし、フォトリソグラフィ工程における露光時の誤差を考えた場合、上下に位置して互いに接触すべき構造物がずれて形成されることを防止するため、下層に位置する、たとえばストラップの幅を、そのストラップの上層に位置するTMR素子の幅よりも大きくしなければならない。このような場合、メモリセルのレイアウト面積を余分に大きくする必要が生じ、メモリセルの微細化が困難なという問題が発生する。

## 【0009】

また、フォトリソグラフィ工程における露光時の誤差によって、たとえば下層に位置するTMR素子と、そのTMR素子の上層に位置するビット線とがずれて形成された場合、TMR素子とビット線との接触面積がメモリセルによって異なるという事態が生じる。このような場合、TMR素子とビット線との接触部の抵抗値がメモリセルによって異なることとなる。そしてこのことは、メモリセルからデータを読み出す際ににおいてリード電流がばらつく原因となる。

## 【0010】

また、特許文献1に開示されている磁気抵抗素子では、基板上に形成された自由磁性層などからなる積層膜、つまりメモリセルのTMR素子部分がメサ型に加工されている。しかしこの場合、中間層を挟んだ固定磁性層の面積と自由磁性層の面積とがメサ型に形成された部分の形状によってばらつく。また、隣接するTMR素子間の短絡不良を完全に防止するため、この積層膜に行なうメサ型の加工は主にウェットエッチングによって行なわれる。ウェットエッチングによる加工の場合、メサ型の形状を制御することはより困難になるため、中間層を挟んだ固定磁性層の面積と自由磁性層の面積とのばらつきは特に大きくなると考えられる。

## 【0011】

このようなばらつきは、MRAMの書き換え特性に大きな影響を与える。また、メサ型の形状によって中間層と固定磁性層との接触面積、および中間層と自由磁性層との接触面積も変わるために抵抗特性も変化する。このため、TMR素子に流れるリード電流が変化することとなるため、リード電流によってメモリセルに蓄積されたデータの1と0とを判定する際に読み出し不良が発生するおそれが生じる。

## 【0012】

そこでこの発明の目的は、上記の課題を解決することであり、メモリセルの微細化を実現するとともに、信頼性の高い薄膜磁性体記憶装置およびその製造方法を提供することである。

## 【0013】

## 【課題を解決するための手段】

この発明に従った薄膜磁性体記憶装置は、半導体基板の主表面上に設けられ、メモリ素子として動作する磁性体メモリセルと、磁性体メモリセルに接触する第1の面と、第1の面の反対側に位置し、第1の面の面積よりも小さい面積で形成された第2の面とを有するバッファ層と、磁性体メモリセルと交差するように一方向に延在し、第2の面に接触する配線とを備える。

## 【0014】

## 【発明の実施の形態】

この発明の実施の形態について、図面を参照して説明する。

## 【0015】

## (実施の形態1)

図1は、この発明の実施の形態1における薄膜磁性体記憶装置を示す断面図である。図1は、薄膜磁性体記憶装置のメモリセル領域を示している。そのメモリセル領域には、MRAM (Magnetic Random Access Memory) の1トランジスタ1MTJ型のメモリセルが2つ形成されている。

## 【0016】

図1を参照して、シリコン基板1の主表面1aには、ソース／ドレイン領域2aから2dが形成されている。ソース／ドレイン領域2aおよび2bの間に位置するシリコン基板1上には、図示しないゲート絶縁膜を介してゲート電極3aが形成されている。ソース／ドレイン領域2aおよび2b、ゲート電極3aならびにゲート絶縁膜から1つの電界効果トランジスタが形成されている。同様に、ソース／ドレイン領域2cおよび2dの間に位置するシリコン基板1上には、図示しないゲート絶縁膜を介してゲート電極3bが形成されている。ソース／ドレイン領域2cおよび2d、ゲート電極3bならびにゲート絶縁膜から別の電界効果トランジスタが形成されている。ゲート電極3aおよび3bは、ポリシリコン、ポリシリコンとCOSiとの積層膜、またはWSiなどから形成されている。

## 【0017】

シリコン基板1の主表面1aならびにゲート電極3aおよび3bを覆うようにシリコン酸化膜からなる層間絶縁膜4が形成されている。層間絶縁膜4には、ソ

ース／ドレイン領域2 aから2 dにそれぞれ達するコンタクトホール5 aから5 dが形成されている。ソース／ドレイン領域2 aから2 dが、コンタクトホール5 aから5 dの底面を規定している。コンタクトホール5 bおよび5 cは、層間絶縁膜4の頂面側において図1の紙面に対して垂直方向に延在するように形成されている。

【0018】

コンタクトホール5 aから5 dの内壁を覆うように、バリアメタル膜6 aから6 dが形成されている。バリアメタル膜6 aから6 dは、窒化チタン(TiN)または窒化タンタル(TaN)などのバリアメタルから形成されている。バリアメタル膜6 aから6 d上には、コンタクトホール5 aから5 dの内部を完全に充填するようにコンタクトプラグ7 aから7 dが形成されている。コンタクトプラグ7 aから7 dは、銅(Cu)、アルミニウム(Al)、タングステン(W)またはチタン(Ti)などの導電性材料から形成されている。

【0019】

層間絶縁膜4上には、シリコン酸化膜からなる層間絶縁膜8が形成されている。層間絶縁膜8には、コンタクトプラグ7 aおよびバリアメタル膜6 aに達するコンタクトホール9 aが形成されている。層間絶縁膜8には、コンタクトプラグ7 dおよびバリアメタル膜6 dに達するコンタクトホール9 dが形成されている。層間絶縁膜8の頂面側には、コンタクトホール9 aおよび9 dのそれぞれに連通し、コンタクトホール9 aおよび9 dよりも大きい径を有するコンタクトホール39 aおよび39 dが形成されている。

【0020】

コンタクトホール9 aおよび39 aとコンタクトホール9 dおよび39 dとの内壁をそれぞれ覆うように、バリアメタル膜11 aおよび11 dが形成されている。バリアメタル膜11 aおよび11 dは、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜11 aおよび11 d上には、コンタクトホール9 aおよび39 aとコンタクトホール9 dおよび39 dとの内部をそれぞれ完全に充填するようにコンタクトプラグ12 aおよび12 dが形成されている。コンタクトプラグ12 aおよび12 dは、銅、アルミニウム、タ

ングステンまたはチタンなどの導電性材料から形成されている。

【0021】

コンタクトプラグ7bおよび7cの上方に位置する層間絶縁膜8の部分には、配線用溝23aおよび23bが形成されている。配線用溝23aおよび23bは、図1の紙面に対して垂直方向に延在している。配線用溝23aおよび23bの内壁をそれぞれ覆うようにバリアメタル膜18aおよび18bが形成されている。バリアメタル膜18aおよび18bは、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。

【0022】

バリアメタル膜18aおよび18b上には、配線用溝23aおよび23bの内部を完全に充填するように導電体膜17aおよび17bが形成されている。導電体膜17aおよび17bの頂面と層間絶縁膜8の頂面とは、同一平面上に形成されている。導電体膜17aおよび17bは、銅、アルミニウム、タンゲステンまたはチタンなどの導電性材料から形成されている。配線用溝23aの内部に形成されたバリアメタル膜18aおよび導電体膜17aは、MRAMのメモリセルにおける第1のディジット線を構成している。配線用溝23bの内部に形成されたバリアメタル膜18bおよび導電体膜17bは、MRAMのメモリセルにおける第2のディジット線を構成している。

【0023】

層間絶縁膜8上には、シリコン酸化膜からなる層間絶縁膜19が形成されている。層間絶縁膜19には、コンタクトプラグ12aおよび12dにそれぞれ達するコンタクトホール21aおよび21bが形成されている。コンタクトホール21aおよび21bの内部を充填し層間絶縁膜19の頂面を一部覆うようにして、ストラップ20aおよび20bが形成されている。ストラップ20aとストラップ20bとは分離して形成されている。ストラップ20aおよび20bは、銅(Cu)、タンタル(Ta)またはチタン(Ti)などの導電性材料から形成されている。

【0024】

ストラップ20aおよび20bの一方端は、層間絶縁膜19の頂面上で第1お

および第2のディジット線の上方まで延在している。ストラップ20aおよび20bの他方端は、コンタクトホール21aおよび21bの内部でコンタクトプラグ12aおよび12bの頂面にそれぞれ接触しており、シリコン基板1上に形成された前述の電界効果トランジスタに電気的に接続されている。

## 【0025】

ストラップ20aおよび20bの頂面上には、第1および第2のディジット線の上方に位置してTMR素子24aおよび24bが形成されている。TMR素子24aおよび24bは、磁気トンネル接合を含む磁性体メモリセルである。TMR素子24aおよび24bは、CoFeおよびNiFeなどの磁性体膜を含む積層膜によって形成されている。

## 【0026】

TMR素子24aおよび24b上には、チタン(Ti)またはタンタル(Ta)などの導電性材料からなるバッファ層41aおよび41bが形成されている。なお図1では、バッファ層41aおよび41bは詳細な形状が省略されて描かれている。

## 【0027】

一般的にバッファ層とは、本来メモリセルに必要な積層膜に対して下方または上方から配線を接続する際に、積層膜と配線との間に位置決めする薄膜層をいう。たとえば、上方からの配線に対するバッファ層であれば、上方からの配線をコンタクトさせるためのコンタクトホールのエッチングが、削りすぎなどによってメモリセルの積層膜に影響を与えないことを目的として、メモリセルの積層膜上に導電性の膜からなるバッファ層を配置する。

## 【0028】

ストラップ20aおよび20bから露出した層間絶縁膜19の頂面とストラップ20aおよび20bとを覆うように、シリコン酸化膜からなる層間絶縁膜25が形成されている。層間絶縁膜25の頂面とバッファ層41aおよび41bの頂面とは同一平面に形成されている。つまり、TMR素子24aおよび24bならびにバッファ層41aおよび41bは、層間絶縁膜25に埋設された状態で形成されているが、バッファ層41aおよび41bの頂面は層間絶縁膜25から露出

している。

【0029】

層間絶縁膜25上には、シリコン酸化膜からなる図示しない層間絶縁膜40が形成されている。層間絶縁膜40には、層間絶縁膜25の頂面によって底面が規定され、第1および第2のディジット線が延在する方向に垂直な方向に延在する配線用溝36aが形成されている。配線用溝36aは、バッファ層41aおよび41bの頂面上に形成されている。

【0030】

配線用溝36aの内壁を覆うように、バリアメタル膜26aが形成されている。バリアメタル膜26aは、バッファ層41aおよび41bの頂面と接触している。バリアメタル膜26aは、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜26a上には、配線用溝36aの内部を完全に充填するように導電体膜27aが形成されている。導電体膜27aは、銅、アルミニウム、タンクスチタンまたはチタンなどの導電性材料から形成されている。配線用溝36aの内部に形成されたバリアメタル膜26aおよび導電体膜27aは、MRAMのメモリセルにおける第1のビット線を構成している。

【0031】

つまり、導電体膜17aおよびバリアメタル膜18aと導電体膜17bおよびバリアメタル膜18bとからそれぞれ構成される第1および第2のディジット線と、導電体膜27aおよびバリアメタル膜26aから構成される第1のビット線とが、TMR素子24aおよび24bを挟んで直角に交差している。そして、第1および第2のディジット線と第1のビット線とが交差する位置にTMR素子24aおよび24bが形成されている。

【0032】

層間絶縁膜40上には、シリコン酸化膜からなる層間絶縁膜28が形成されている。層間絶縁膜28の頂面側には、配線用溝29aおよび29bが形成されている。配線用溝29aおよび29bは、図1の紙面に対して垂直方向に延在している。配線用溝29aおよび29bの内壁を覆うように、バリアメタル膜30aおよび30bが形成されている。バリアメタル膜30aおよび30bは、窒化チ

タンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜30aおよび30b上には、配線用溝29aおよび29bの内部を完全に充填するように導電体膜31aおよび31bが形成されている。導電体膜31aおよび31bは、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。

## 【0033】

層間絶縁膜28上には、シリコン酸化膜からなる層間絶縁膜32が形成されている。層間絶縁膜32の頂面側には、配線用溝29aおよび29bが延在する方向に直角方向に延在する配線用溝35が形成されている。配線用溝35の内壁を覆うようにバリアメタル膜33が形成されている。バリアメタル膜33は、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜33上には、配線用溝35の内部を完全に充填するように導電体膜34が形成されている。導電体膜34は、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。

## 【0034】

図1に示されているMRAMの1つのメモリセルは、ワード線としてのゲート電極3a、図示しないゲート絶縁膜、ならびにソース／ドレイン領域2aおよび2bからなる電界効果トランジスタと、この電界効果トランジスタに電気的に接続されたストラップ20aと、ストラップ20aの頂面上に形成されたTMR素子24aおよびバッファ層41aと、TMR素子24aの下方で延在し、導電体膜17aおよびバリアメタル膜18aからなる第1のディジット線と、TMR素子24aの頂面に接触して延在する導電体膜27aおよびバリアメタル膜26aからなる第1のビット線とを備える。

## 【0035】

また、図1に示されているMRAMの別のメモリセルは、ワード線としてのゲート電極3b、図示しないゲート絶縁膜、ならびにソース／ドレイン領域2cおよび2dからなる電界効果トランジスタと、この電界効果トランジスタに電気的に接続されたストラップ20bと、ストラップ20bの頂面上に形成されたTMR素子24bおよびバッファ層41bと、TMR素子24bの下方で延在し、導

電体膜17bおよびバリアメタル膜18bからなる第2のディジット線と、TMR素子24bの頂面に接触して延在する導電体膜27aおよびバリアメタル膜26aからなる第1のビット線とを備える。

## 【0036】

図2は、図1中の薄膜磁性体記憶装置を示す平面図である。図2では特に、ビット線、ディジット線、TMR素子、バッファ層およびストラップを示している。図1は、図2中のI—I線上に沿った断面図である。

## 【0037】

図2を参照して、導電体膜27aおよびバリアメタル膜26aから構成される第1のビット線と導電体膜27bおよびバリアメタル膜26bから構成される第2のビット線とが所定の間隔を隔てて延在している。導電体膜17aおよびバリアメタル膜18aから構成される第1のディジット線と導電体膜17bおよびバリアメタル膜18bから構成される第2のディジット線とが所定の間隔を隔てて第1および第2のビット線が延在する方向に垂直方向に延在している。

## 【0038】

第1のビット線に重なる領域には、矩形形状を有するストラップ20aおよび20bが所定の間隔を隔てて形成されている。同様に、第2のビット線に重なる領域には、矩形形状を有するストラップ20mおよび20nが所定の間隔を隔てて形成されている。

## 【0039】

TMR素子24a、24b、24mおよび24nと、これらのTMR素子上にそれぞれ形成されたバッファ層41a、41b、41mおよび41nが、第1および第2のビット線と第1および第2のディジット線とが交差する位置にマトリックス状に配置されている。TMR素子24a、24b、24mおよび24nは、ディジット線が延在する方向に延びる長軸と、ビット線が延在する方向に延びる短軸とを有する橢円形状に形成されている。その橢円形状の長軸の長さは、ディジット線が延在する方向におけるストラップ20a、20b、20mおよび20nの長さ（以後、ストラップの幅とも呼ぶ）と同一となっている。

## 【0040】

図3は、図2中のI I I - I I I線上に沿った断面図である。図3を参照して、配線用溝36aおよび36bが形成された層間絶縁膜40が層間絶縁膜25上に形成されている。TMR素子24aは、ストラップ20aの幅一杯に形成されている。また、TMR素子24mは、ストラップ20mの幅一杯に形成されている。

#### 【0041】

つまり、薄膜磁性体記憶装置は、半導体基板の主表面上において一方向に延在する側壁であって、互いに向い合う第1および第2の側壁と、第1および第2の側壁の各々に連なる頂面とを有する帯状の配線と、その頂面上に設けられた磁性体メモリセルとを備える。磁性体メモリセルは、第1および第2の側壁の各々に同一平面上において連なる第3および第4の側壁を有する。

#### 【0042】

図4は、図1中の薄膜磁性体記憶装置においてTMR素子が形成されている部分を示す斜視図である。図3および図4を参照して、バッファ層41aおよび41mの側壁は、傾斜面53によって規定されている。バッファ層41aおよび41mは、TMR素子24aまたは24mに接触する第1の面52と、第1の面52と反対側に位置して、第1のビット線を構成するバリアメタル膜26aまたは第2のビット線を構成するバリアメタル膜26bに接触する第2の面51と、第1の面52から第2の面51まで連なる傾斜面53とを有する。傾斜面53の傾きは、傾斜面53が第1の面52から第2の面51に達するまでほぼ一定である。第2の面51の面積は、第1の面52の面積よりも小さい。

#### 【0043】

バッファ層41aおよび41b上には、第2の面51の全体に接触するよう、第1および第2のビット線が形成されている。第1および第2のビット線は、ストラップ20aおよび20bの幅とほぼ同一長さの幅で形成されている。

#### 【0044】

この発明の実施の形態1に従った薄膜磁性体記憶装置は、半導体基板としてのシリコン基板1の主表面1a上に設けられ、メモリ素子として動作する磁性体メモリセルとしてのTMR素子24aと、TMR素子24aに接触する第1の面5

2と、第1の面52の反対側に位置し、第1の面52の面積よりも小さい面積で形成された第2の面51とを有するバッファ層41aと、TMR素子24aと交差するように一方向に延在し、第2の面51に接触する配線としての導電体膜27aおよびバリアメタル膜26aからなる第1のビット線とを備える。

## 【0045】

バッファ層41aは、チタンおよびタンタルの少なくとも一方を含む。バッファ層41aは、シリコン基板1の主表面1aに平行な面上での断面積が、第1の面52から第2の面51に向かうに従って小さくなるように形成されている。

## 【0046】

TMR素子24aは、シリコン基板1の主表面1aに平行な面上での断面が円形形状を有するように形成されている。

## 【0047】

図1中に示す薄膜磁性体記憶装置のメモリセルの動作について説明する。シリコン基板1上に形成された電界効果トランジスタによってMRAMの所定のメモリセルを選択する。そして、前述のワード線、ビット線およびディジット線に適宜電流を流すことによって、データの書き換えまたは読み出しを行なう。

## 【0048】

より詳細に説明すれば、所定のビット線およびディジット線に電流を流すことによって、そのビット線およびディジット線が交差する領域に設けられたTMR素子に磁場を発生させる。これにより、TMR素子の磁気トンネル接合を構成する強磁性体層の磁化方向を変更し、TMR素子を通過する電流の抵抗値を変動させることができる（トンネル磁気抵抗効果）。このトンネル磁気抵抗効果を利用してデータの書き換えまたは読み出しを行なうことができる。

## 【0049】

図5から図21および図23から図29は、図1中に示す薄膜磁性体記憶装置の製造方法の工程を示し、図5から図9、図11から図15、図17から図19、図21、および図23から図29は断面図であり、図10、図16および図20は平面図である。図5から図21、図23から図29、図1および図3を用いて、図1中に示す薄膜磁性体記憶装置の製造方法について説明する。なお、以下

においては、適當な断面図を参照して製造工程の説明を行なうが、参照されていない断面においても同一レイヤーでは同様の製造工程が行なわれているものとする。

#### 【0050】

図5を参照して、シリコン基板1の主表面1a上に図示しないゲート絶縁膜と所定形状にパターニングされたゲート電極3aおよび3bとを順次形成する。ゲート電極3aおよび3bをマスクとして、シリコン基板1の主表面1aに不純物を注入することによって、ソース／ドレイン領域2aから2dを形成する。

#### 【0051】

シリコン基板1の主表面1aならびにゲート電極3aおよび3bを覆うようにシリコン酸化膜を堆積することによって層間絶縁膜4を形成する。層間絶縁膜4に所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって、ソース／ドレイン領域2aから2dにそれぞれ達するコンタクトホール5aから5dを形成する。コンタクトホール5aから5dの内部および層間絶縁膜4の頂面上にバリアメタルおよび導電性材料を順次堆積する。

#### 【0052】

その後、化学的機械研磨法（CMP；Chemical Mechanical Polishing）によって、このバリアメタルおよび導電性材料を層間絶縁膜4の頂面が露出するまで除去するとともに、コンタクトホール5aから5dにバリアメタルおよび導電性材料を残存させる。これにより、コンタクトホール5aから5dの内部にバリアメタル膜6aから6dとコンタクトプラグ7aから7dとを形成する。

#### 【0053】

図6を参照して、層間絶縁膜4上にシリコン酸化膜を堆積することによって層間絶縁膜8を形成する。層間絶縁膜8に所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって、コンタクトホール9a、9d、39aおよび39d、ならびに配線用溝23aおよび23bを形成する。これらのコンタクトホールおよび配線用溝の内部、ならびに層間絶縁膜8の頂面上にバリアメタルおよび導電性材料を順次堆積する。

#### 【0054】

その後、化学的機械研磨法によって、このバリアメタルおよび導電性材料を層間絶縁膜8の頂面が露出するまで除去するとともに、コンタクトホール9a、9d、39aおよび39d、ならびに配線用溝23aおよび23bにバリアメタルおよび導電性材料を残存させる。これにより、バリアメタル膜11aおよび11dと、コンタクトプラグ12aおよび12dと、バリアメタル膜18aおよび18bと、導電体膜17aおよび17bとを、それぞれの配線用溝およびコンタクトホールの内部に形成する。

#### 【0055】

図7を参照して、層間絶縁膜8上にシリコン酸化膜を堆積することによって層間絶縁膜19を形成する。層間絶縁膜19に所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって、コンタクトホール21aおよび21bを形成する。コンタクトホール21aおよび21bの内部を充填し層間絶縁膜19の頂面を覆うように導電性材料20を堆積する。図8は、図7に示す工程が終わった時点における薄膜磁性体記憶装置の断面図であり、図2中のI—I—I—I線上に沿った断面に相当する断面図である。続いて、図9を参照して、導電性材料20上に、TMR積層膜24と導電性材料41とを順次堆積する。

#### 【0056】

図11は、図10中のX—I—X—I線上に沿った断面図である。図10および図11を参照して、導電性材料41上に、導電体膜17aおよびバリアメタル膜18aから構成される第1のディジット線と、導電体膜17bおよびバリアメタル膜18bから構成される第2のディジット線とが延在する方向に垂直方向に延在する帯状のレジスト膜54を形成する。

#### 【0057】

図12を参照して、レジスト膜54をマスクとして導電性材料41にエッチングを行なう。図13を参照して、レジスト膜54をマスクとしてTMR積層膜24にエッチングを行なう。図14を参照して、レジスト膜54をマスクとして導電性材料20にエッチングを行なうことによって、ストラップ20aおよび20bを形成する。

#### 【0058】

このように図13および図14に示す工程において同一のレジスト膜54をマスクとして用いることによって、導電性材料20から帯状のストラップ20aおよび20bを形成するとともに、ストラップ20aおよび20b上にストラップ20aおよび20bと同一形状を有する帯状のTMR積層膜24をひとまず形成する。

#### 【0059】

図15を参照して、レジスト膜54を除去する。図12から図14に示す工程におけるエッチングによって形成された溝を充填し、導電性材料41の頂面を覆うようにシリコン酸化膜を堆積することによって層間絶縁膜25を形成する。化学的機械研磨法により、層間絶縁膜25を導電性材料41の頂面が露出するまで除去する。

#### 【0060】

図17は、図16中のXVII-XVII線上に沿った断面図である。図16および図17を参照して、層間絶縁膜25および導電性材料41の頂面上であって、第1および第2のディジット線と重なる領域に、第1および第2のディジット線が延在する方向に延びるレジスト膜55を形成する。レジスト膜55は、図10に示す工程で形成したレジスト膜54に垂直に交差している。また、レジスト膜55は、複数の導電性材料41にまたがって延在している。

#### 【0061】

図18を参照して、レジスト膜55をマスクとして導電性材料41にエッチングを行なうことによって、バッファ層41aおよび41bを形成する。図19を参照して、レジスト膜55をマスクとしてTMR積層膜24にエッチングを行なうことによって、TMR素子24aおよび24bを形成する。この時点で、バッファ層41aおよび41bならびにTMR素子24aおよび24bは、ストラップ20aおよび20bの頂面の一部を覆う矩形形状に形成される。

#### 【0062】

このように図19に示す工程によって、帯状のTMR積層膜24をTMR素子24aおよび24bに形成する。この際、レジスト膜54を用いたエッチングによりTMR素子は既にメモリセル毎に分離されているため、レジスト膜55を用

いたエッティングでは、ストラップが延在する方向におけるTMR素子の幅を決定するための加工を行なえば良い。このため、最終的な形状にTMR素子24aおよび24bを形成した後にあっても、同一のレジスト膜54を用いて形成された、TMR素子24aおよび24bの側壁と、ストラップ20aおよび20bの側壁とは、同一平面上において連なっている。

#### 【0063】

図21は、図20中のXXI-XXI線上に沿った断面図である。図20および図21を参照して、レジスト膜55を除去する。所定の薬剤を用いて、TMR素子およびバッファ層に等方性エッティングを行なう。矩形形状に形成されたTMR素子24aおよび24bならびにバッファ層41aおよび41bに等方性エッティングが行なわれると、バッファ層41aおよび41bの頂面側に位置する部分と、バッファ層41aおよび41bの頂面から側壁に連なるエッジ部分と、バッファ層41aおよび41bならびにTMR素子24aおよび24bの側壁のエッジ部分とにおいてエッティング速度が大きくなる。このため、全体に丸みを帯びるようにTMR素子24aおよび24bならびにバッファ層41aおよび41bの側壁が削られるとともに、バッファ層41aおよび41bがメサ型に削られる。これにより、TMR素子24aおよび24bならびにバッファ層41aおよび41bを橿円形状に形成し、さらにバッファ層41aおよび41bの側壁に傾斜面53を形成する。

#### 【0064】

バッファ層41aおよび41bは、シリコン基板1の主表面1aに平行な平面での断面積が、第1の面52から第2の面51に向かうに従って小さくなるように形成されているため、等方性エッティングにより容易かつ迅速にバッファ層41aおよび41bを所定の形状に形成することができる。

#### 【0065】

なお、本実施の形態では、第2の面51から第1の面52にかけてメサ型に形成されたバッファ層41aおよび41bについて説明したが、本発明はこれに限定されるものではない。等方性エッティングの条件によっては、メサ型に削れる部分が第1の面52に達しない場合や、メサ型に削れる部分が多少TMR素子24

a および 24 b の頂面側にかかる場合なども考えられる。

【0066】

図22は、図16中のレジスト膜にかわる他のレジスト膜を示す平面図である。図22を参照して、図20および図21に示す工程において形成するTMR素子24 a および 24 b の橢円形状を強調したい場合には、図16中のレジスト膜55にかえて橢円形状に倣う形状を有するレジスト膜56を形成すれば良い。

【0067】

図23は、図20中のXXIII-XXIII線上に沿った断面に相当する断面図である。図23を参照して、図18および図19に示す工程で行ったエッチングによって形成された溝を充填し、バッファ層41 a および 41 m の頂面を覆うようにシリコン酸化膜を堆積することによって再び層間絶縁膜25を形成する。化学的機械研磨法により、層間絶縁膜25をバッファ層41 a および 41 m の頂面が露出するまで除去する。

【0068】

図24を参照して、層間絶縁膜25上にシリコン酸化膜を堆積することによって層間絶縁膜40を形成する。図25を参照して、層間絶縁膜40上に所定の開口パターンを有するレジスト膜57を形成する。図26を参照して、レジスト膜57をマスクとして層間絶縁膜40にエッチングを行なうことによって、バッファ層41 a および 41 m の第2の面51に達する配線用溝36 a および 36 b を形成する。その後、レジスト膜57を除去する。

【0069】

図27を参照して、配線用溝36 a および 36 b の内部ならびに層間絶縁膜40の頂面上にバリアメタル26および導電性材料27を順次堆積する。図28は、図1に示す断面に相当する断面図である。図3および図28を参照して、化学的機械研磨法によって、バリアメタル26および導電性材料27を層間絶縁膜40の頂面が露出するまで除去するとともに、配線用溝36 a および 36 b にバリアメタルおよび導電性材料を残存させる。これにより、配線用溝36 a および 36 b の内部にバリアメタル膜26 a および 26 b ならびに導電体膜27 a および 27 b を形成する。

## 【0070】

図29を参照して、層間絶縁膜40上にシリコン酸化膜を堆積することによって層間絶縁膜28を形成する。層間絶縁膜28に所定のフォトリソグラフィ工程およびエッティング工程を行なうことによって、配線用溝29aおよび29bを形成する。その後、配線用溝29aおよび29bの内部に配線を構成するバリアメタル膜30aおよび導電体膜31aとバリアメタル膜30bおよび導電体膜31bとをそれぞれ形成する。

## 【0071】

図1を参照して、層間絶縁膜28上にシリコン酸化膜を堆積することによって層間絶縁膜32を形成する。層間絶縁膜32に所定のフォトリソグラフィ工程およびエッティング工程を行なうことによって配線用溝35を形成する。その後、配線用溝35の内部に配線を構成するバリアメタル膜33および導電体膜34を形成する。以上の工程により、図1中に示す薄膜磁性体記憶装置が完成する。

## 【0072】

この発明の実施の形態1に従った薄膜磁性体記憶装置の製造方法は、シリコン基板1の主表面1aにおいて導電体膜としての導電性材料20を堆積する工程と、導電性材料20上に磁性体膜を含む積層膜としてのTMR積層膜24を堆積する工程と、TMR積層膜24上に第1のマスク膜としてのレジスト膜54を形成する工程と、レジスト膜54をマスクとしてTMR積層膜24の一部分および導電性材料20の一部分をエッティングするとともに他の部分を残存させることによって、所定の間隔を隔てて帯状に延在し、かつ導電性材料20を含む第1および第2の配線としてのストラップ20aおよび20mを形成するとともに、ストラップ20aおよび20m上にストラップ20aおよび20mと同一形状の帯状のTMR積層膜24を形成する工程と、帯状のTMR積層膜24上に、ストラップ20aおよび20mに交差するように延在する第2のマスク膜としてのレジスト膜55を形成する工程と、レジスト膜55をマスクとして帯状のTMR積層膜24の一部分をエッティングするとともに他の部分を残存させることによって、メモリセルとして動作する磁性体メモリセルとしてのTMR素子24aおよび24mを形成する工程とを備える。

## 【0073】

薄膜磁性体記憶装置の製造方法は、TMR素子24aおよび24mを形成する工程の後に、TMR素子24aおよび24mに等方性エッチングを行なうことによって、シリコン基板1の主表面1aに平行な面上におけるTMR素子24aおよび24mの断面を円形形状とする工程をさらに備える。

## 【0074】

このように構成された薄膜磁性体記憶装置およびその製造方法によれば、ビット線とTMR素子との間に介在するバッファ層がメサ型に形成されている。このため、図25に示すレジスト膜57を形成するための露光時に誤差が生じた結果、図26に示す配線用溝36aおよび36bがバッファ層41aおよび41mから多少ずれて形成された場合であっても、バッファ層41aおよび41mが有する第2の面51の全体を配線用溝36aおよび36bに形成されるビット線に接觸させることができる。これにより、バッファ層とビット線との接触面積を常に一定に保つことができることから、バッファ層とビット線との界面抵抗の値を安定させてリード電流に対するマージンを向上させることができる。また、メサ型に形成する部分はバッファ層であるため、メモリセルの特性に悪影響を与えることも防止できる。以上の理由から、信頼性の高い薄膜磁性体記憶装置を実現することができる。

## 【0075】

また、バッファ層がメサ型に形成される工程と同時にTMR素子は橢円形状に形成されている。これにより、TMR素子に含まれるフリー層においてエンドドメインの存在を小さくすることができる。エンドドメインが存在する場合、エンドドメインは、TMR素子中において磁区を揃える方向と異なる方向の磁区を生じさせ、メモリセルのデータを書き換えにくくする要因となっている。このエンドドメインは、鋭角なエッジ部に多く見られるため、TMR素子を橢円形状に形成することによってエンドドメインの発生を抑制することができる。そして、エンドドメインの発生を抑制することによって、TMR素子のスイッチング磁場を小さくすることができ、メモリセルにおいて安定した書き換え特性を得ることができる。

## 【0076】

また、同一のレジスト膜54を使用してTMR積層膜をストラップと同一形状にひとまず形成し、その後、別のレジスト膜55を使用してTMR積層膜をTMR素子の最終的な形状に形成している。このため、TMR素子をストラップの幅一杯に確実に形成することができ、マスクずれによるTMR素子の位置決め誤差を考慮する必要がない。これにより、ストラップの幅を小さく設定することができ、メモリセルの微細化を実現することができる。

## 【0077】

また、レジスト膜54を用いたエッチングによりTMR素子は既にメモリセル毎に分離されているため、レジスト膜55を複数のメモリセルにまたがって延在する帯状に形成することができる。これにより、TMR素子の形状を精度良く形成することができる。

## 【0078】

つまり、TMR素子の形状を一度に形成しようとする場合、個々のTMR素子の形状に即した微細なレジストパターンを形成しなければならない。一般的に、フォトリソグラフィ工程においてレジストパターンにばらつきが生じる。レジスト形状のエッジ部でのばらつき、場所依存性、および周りのレジストパターンの疎密によるハレーションなどの影響を考えると、レジストパターンが微細になるほどこれらの影響は大きくなる。このため、微細なレジストパターンを用いてTMR素子の形状を一度に形成しようとすると、隣接するTMR素子間で短絡が発生したりする。

## 【0079】

本実施の形態では、ストラップの形状に即したレジスト膜54が大型であることに加えて、レジスト膜55は複数のメモリセルにまたがって延在する帯状の形状を有しているため、TMR素子の微細加工を精度良く行なうことができる。これにより、エンドドメインの発生を抑制してメモリセルの書き換え特性を向上させたり、TMR素子における抵抗値を一定にすることができます。

## 【0080】

(実施の形態2)

図30は、この発明の実施の形態2における薄膜磁性体記憶装置を示す平面図である。図30では特に、ビット線、ディジット線、TMR素子、バッファ層およびストラップを示している。

【0081】

図30を参照して、実施の形態2における薄膜磁性体記憶装置は、図1中の実施の形態1における薄膜磁性体記憶装置と比較して、TMR素子24a、24b、24mおよび24n、ならびにバッファ層41a、41b、41mおよび41nの形状が異なる。TMR素子24a、24b、24mおよび24nは橢円形状に形成されている。その橢円形状の長軸は、ディジット線が延在する方向に対して傾いており、その橢円形状の短軸は、ビット線が延在する方向に対して傾いている。TMR素子24a、24b、24mおよび24n上には、これらTMR素子と同一の橢円形状を有するバッファ層41a、41b、41mおよび41nが形成されている。

【0082】

図31は、図30中に示す薄膜磁性体記憶装置の製造方法の工程を示す平面図である。実施の形態2における薄膜磁性体記憶装置の製造方法は、実施の形態1における薄膜磁性体記憶装置の製造方法と比較して、図16に示す工程にかえて図31に示す工程を行なう。

【0083】

図31を参照して、層間絶縁膜25および導電性材料41の頂面上であって、第1および第2のディジット線と重なる領域にレジスト膜61を形成する。レジスト膜61は、帯状に形成された導電性材料41と重なる領域において平行四辺形の断面形状を有する。つまり、レジスト膜61が延在する方向は、導電性材料41の下で同一形状に形成されたストラップ20a、20b、20mおよび20nが延在する方向に対して傾いている。また、レジスト膜61は、複数の導電性材料41にまたがって延在している。

【0084】

このように平行四辺形の形状を有するレジスト膜61を使用した場合、平行四辺形の角度の小さい方の角部では角度の大きい方の角部より、TMR積層膜24

の等方性エッチングによる後退幅が大きくなる。このため、ピット線およびディジット線が延在する方向に対して少し傾いた橢円形状を有するTMR素子24a、24b、24mおよび24nを形成することができる。

【0085】

この発明の実施の形態2に従った薄膜磁性体記憶装置の製造方法では、第2のマスク膜としてのレジスト膜61が第1および第2の配線としてのストラップ20aおよび20mに交差する方向は傾いている。

【0086】

このように構成された薄膜磁性体記憶装置の製造方法によれば、実施の形態1に記載の効果と同様の効果を奏することができる。加えて、所定の形状を有するレジスト膜61を用いることによってTMR素子の断面積を実施の形態1よりも大きくすることができる。これにより、TMR素子に含まれる磁性体の体積は増大するため、TMR素子を熱擾乱に対して安定させることができる。

【0087】

なお、熱擾乱とは、周囲から受ける熱エネルギーによって磁極が勝手に向きを変える現象をいう。この熱エネルギーによる影響はTMR素子が有する磁性体の体積に依存し、体積が大きいほど熱エネルギーの影響を受けにくくなる。また、熱エネルギーの影響と磁性体の体積との関係は指数関数的であるため、TMR素子の断面積をわずかに増大させるだけで、熱擾乱による影響を大きく抑制することができる。

【0088】

(実施の形態3)

図32は、この発明の実施の形態3における薄膜磁性体記憶装置を示す断面図である。図32には、MRAMのクロスポイント型のメモリセルが4つ形成されている。以下においては、実施の形態1における薄膜磁性体記憶装置と重複する構造については、省略するか、または簡単に説明する。

【0089】

図32を参照して、層間絶縁膜8を挟んで下層には、電界効果トランジスタが形成されたデコーダ部が構成されており、上層にはMRAMのメモリセル領域が

構成されている。クロスポイント型のメモリセルの場合トランジスタを必要としないため、デコーダ部とメモリセル領域とを同じ部位に形成することができる。これにより、チップサイズを小さくすることができ、また装置の生産効率を向上させることができる。

#### 【0090】

層間絶縁膜8上には、所定の間隔を隔てて図32の紙面に対して垂直方向に延在する導電体膜72aから72dが形成されている。導電体膜72aから72dは、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。導電体膜72aから72dは、MRAMのメモリセルにおける第1から第4のディジット線を構成している。

#### 【0091】

導電体膜72aから72d上には、バッファ層73aから73dがそれぞれ形成されている。バッファ層73aから73dはセル選択用のダイオードであり、n型シリコン層とp型シリコン層との積層膜によって構成されている。また、クロスポイント型のメモリセルがダイオードを含まない構成である場合、バッファ層73aから73dが、タンタル(Ta)またはチタン(Ti)などの導電性材料で形成されていても良い。

#### 【0092】

バッファ層73aから73d上には、TMR素子74aから74dがそれぞれ形成されている。TMR素子74aから74dは、CoFeおよびNiFeなどの磁性体膜を含む積層膜によって形成されている。TMR素子74aから74d上には、チタンまたはタンタルなどの導電性材料からなるバッファ層75aおよび75bがそれぞれ形成されている。なお図32では、バッファ層75aおよび75bは詳細な形状が省略されて描かれている。

#### 【0093】

層間絶縁膜8上には、シリコン酸化膜からなる層間絶縁膜71が形成されている。層間絶縁膜71は、層間絶縁膜8上に所定の間隔を隔てて形成された上述の積層物の間を充填している。層間絶縁膜71の頂面とバッファ層75aから75dの頂面とは同一平面上に形成されている。

## 【0094】

層間絶縁膜71上の図示しない層間絶縁膜40には、導電体膜27aおよびバリアメタル膜26aから構成される第1のビット線が形成されている。バリアメタル膜26aは、バッファ層75aから75dの頂面に接触している。導電体膜72aから72dによって構成される第1から第4のディジット線と、導電体膜27aおよびバリアメタル膜26aによって構成される第1のビット線とが、TMR素子74aから74dを挟んで直角に交差している。第1から第4のディジット線と第1のビット線とが交差する位置にTMR素子74aから74dが形成されている。

## 【0095】

図33は、図32中の薄膜磁性体記憶装置を示す平面図である。図33では特に、ビット線、ディジット線、TMR素子およびバッファ層を示している。図32は、図33中のXXXII-XIII線上に沿った断面図である。

## 【0096】

図33を参照して、導電体膜27aおよびバリアメタル膜26aから構成される第1のビット線と、導電体膜27bおよびバリアメタル膜26bから構成される第2のビット線とが所定の間隔を隔てて延在している。導電体膜72aから72dによって構成される第1から第4のディジット線が第1および第2のビット線が延在する方向に垂直方向に所定の間隔を隔てて延在している。

## 【0097】

TMR素子74a、74b、74c、74d、74m、74n、74pおよび74qが、第1および第2のビット線と第1から第4のディジット線とが交差する位置にマトリックス状に配置されている。また、これらTMR素子の上下に位置するバッファ層が同様に配置されている。TMR素子74a、74b、74c、74d、74m、74n、74pおよび74qは、ディジット線が延在する方向に延びる長軸と、ビット線が延在する方向に延びる短軸とを有する橍円形状に形成されている。その橍円形状の短軸の長さは、ビット線が延在する方向におけるディジット線の長さ（以後、ディジット線の幅とも呼ぶ）と同一となっている。つまり、TMR素子74a、74b、74c、74d、74m、74n、74p

p および 74 q は、それぞれ第1から第4のデイジット線の幅一杯に形成されている。

#### 【0098】

図34は、図33中のXXXIV-XXXIV線上に沿った断面図である。図34を参照して、配線用溝36aおよび36が形成された層間絶縁膜40が層間絶縁膜71上に形成されている。図3および図4中に示すバッファ層41aおよび41mと同様に、バッファ層75aおよび75mは、TMR素子74aまたは74mに接触する第1の面52と、第1の面52と反対側に位置して、第1のビット線を構成するバリアメタル膜26aまたは第2のビット線を構成するバリアメタル膜26bに接触する第2の面51と、第1の面52から第2の面51まで連なる傾斜面53とを有する。第2の面51の面積は、第1の面52の面積よりも小さい。

#### 【0099】

図35から図52は、図32中に示す薄膜磁性体記憶装置の製造方法の工程を示し、図35、図37から図41、図43から図45、および図47から図52は断面図であり、図36、図42および図46は平面図である。図35から図52を用いて、図32中に示す薄膜磁性体記憶装置の製造方法について説明する。なお、以下においては、適当な断面図を参照して製造工程の説明を行なうが、参照されていない断面においても同一レイヤーでは同様の製造工程が行なわれているものとする。また、実施の形態1における薄膜磁性体記憶装置の製造方法と重複する工程については説明を一部省略する。

#### 【0100】

図35を参照して、実施の形態1における図5に示す工程の後、層間絶縁膜4上にシリコン酸化膜を堆積することによって層間絶縁膜8を形成する。続いて、層間絶縁膜8上に、導電性材料72、シリコン膜73、TMR積層膜74および導電性材料75を順次堆積する。

#### 【0101】

図37は、図36中のXXXVI-XXXVI線上に沿った断面図である。図36および図37を参照して、導電性材料75上に、所定の間隔を隔てて一

方向に延在する帯状のレジスト膜81を形成する。

【0102】

図38を参照して、レジスト膜81をマスクとして導電性材料75にエッティングを行なう。図39を参照して、レジスト膜81をマスクとしてTMR積層膜74にエッティングを行なう。図40を参照して、レジスト膜81をマスクとしてシリコン膜73にエッティングを行なう。レジスト膜81をマスクとして導電性材料72にエッティングを行なうことによって、第1および第2のディジット線を構成する導電体膜72aおよび72bを形成する。

【0103】

このように図39および図40に示す工程において同一のレジスト膜81をマスクとして用いることによって、導電性材料72から帯状の第1および第2のディジット線を形成するとともに、第1および第2のディジット線上に第1および第2のディジット線と同一形状を有する帯状のTMR積層膜74およびシリコン膜73をひとまず形成する。

【0104】

図41を参照して、レジスト膜81を除去する。図38から図40に示す工程におけるエッティングにより形成された溝を充填し、導電性材料75の頂面を覆うようにシリコン酸化膜を堆積することによって層間絶縁膜71を形成する。化学的機械研磨法により、層間絶縁膜71を導電性材料75の頂面が露出するまで除去する。

【0105】

図43は、図42中のXLI11-XLI11線上に沿った断面図である。図42および図43を参照して、層間絶縁膜71および導電性材料75の頂面上に、導電性材料75が延在する方向に垂直方向に延在するレジスト膜82を形成する。レジスト膜82は、図36に示す工程で形成したレジスト膜81に垂直に交差している。また、レジスト膜82は、複数の導電性材料75にまがたがって延在している。

【0106】

図44を参照して、レジスト膜82をマスクとして導電性材料75にエッティング

グを行なうことによって、バッファ層75aおよび75mを形成する。図45を参照して、レジスト膜82をマスクとしてTMR積層膜74にエッティングを行なうことによって、TMR素子74aおよび74mを形成する。続いて、レジスト膜82をマスクとしてシリコン膜73にエッティングを行なうことによって、バッファ層73aおよび73mを形成する。この時点で、バッファ層75aおよび75m、TMR素子74aおよび74m、ならびにバッファ層73aおよび73mは、第1のディジット線を構成する導電体膜72aの頂面の一部を覆う矩形形状に形成される。

#### 【0107】

このように図45に示す工程によって、帯状のTMR積層膜74およびシリコン膜73を、それぞれTMR素子74aおよび74mならびにバッファ層73aおよび73mに形成する。この際、レジスト膜81を用いたエッティングにより第1のディジット線が延在する方向に垂直方向におけるTMR素子およびバッファ層の幅は既に決定されているため、レジスト膜82を用いたエッティングでは、第1のディジット線が延在する方向におけるTMR素子およびバッファ層の幅を決定するための加工を行なえば良い。このため、最終的な形状にTMR素子74aおよび74mならびにバッファ層73aおよび73mを形成した後にあっても、同一のレジスト膜81を用いて形成された、TMR素子74aおよび74mならびにバッファ層73aおよび73mの側壁と、第1のディジット線を構成する導電体膜72aの側壁とは、同一平面上において連なっている。

#### 【0108】

図47は、図46中のXLVII-XLVII線上に沿った断面図である。図46および図47を参照して、レジスト膜82を除去する。所定の薬剤を用いて、TMR素子および各々のバッファ層に等方性エッティングを行なう。これにより、バッファ層73aおよび73m、TMR素子74aおよび74m、ならびにバッファ層75aおよび75mを橢円形状に形成し、さらにバッファ層75aおよび75mに傾斜面53を形成する。

#### 【0109】

図48を参照して、図44および図45に示す工程で行ったエッティングによっ

て形成された溝を充填し、バッファ層75aおよび75mの頂面を覆うようにシリコン酸化膜を堆積することによって再び層間絶縁膜71を形成する。化学的機械研磨法により、層間絶縁膜71をバッファ層75aおよび75mの頂面が露出するまで除去する。

#### 【0110】

図49を参照して、層間絶縁膜71上にシリコン酸化膜を堆積することによって層間絶縁膜40を形成する。図50を参照して、層間絶縁膜40上に所定の開口パターンを有するレジスト膜83を形成する。図51を参照して、レジスト膜83をマスクとして層間絶縁膜40にエッチングを行なうことによって、バッファ層75aおよび75mの第2の面51に達する配線用溝36aおよび36bを形成する。その後、レジスト膜83を除去する。

#### 【0111】

図52を参照して、配線用溝36aおよび36bの内部ならびに層間絶縁膜40の頂面上にバリアメタル26および導電性材料27を順次堆積する。このあと、実施の形態1における図28、図29および図1に示す工程が続く。以上の工程により、図32中に示す薄膜磁性体記憶装置が完成する。

#### 【0112】

このように構成された薄膜磁性体記憶装置およびその製造方法によれば、同一のレジスト膜81を使用してTMR積層膜をディジット線と同一形状に形成し、その後、別のレジスト膜82を使用してTMR積層膜をTMR素子の最終的な形状に形成している。このため、TMR素子をディジット線の幅一杯に確実に形成することができ、マスクずれによるTMR素子の位置決め誤差を考慮する必要がない。これにより、ディジット線の幅を小さく設定することができ、メモリセルの微細化を実現することができる。また、このほかの実施の形態1に記載の効果と同様の効果を奏することができる。

#### 【0113】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更

が含まれることが意図される。

【0114】

【発明の効果】

以上説明したように、この発明に従えば、メモリセルの微細化を実現するとともに、信頼性の高い薄膜磁性体記憶装置およびその製造方法を提供することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1における薄膜磁性体記憶装置を示す断面図である。

【図2】 図1中の薄膜磁性体記憶装置を示す平面図である。

【図3】 図2中のI—I—I—I—I線上に沿った断面図である。

【図4】 図1中の薄膜磁性体記憶装置においてTMR素子が形成されている部分を示す斜視図である。

【図5】 図1中に示す薄膜磁性体記憶装置の製造方法の第1工程を示す断面図である。

【図6】 図1中に示す薄膜磁性体記憶装置の製造方法の第2工程を示す断面図である。

【図7】 図1中に示す薄膜磁性体記憶装置の製造方法の第3工程を示す断面図である。

【図8】 図1中に示す薄膜磁性体記憶装置の製造方法の第3工程を示す別の断面図である。

【図9】 図1中に示す薄膜磁性体記憶装置の製造方法の第4工程を示す断面図である。

【図10】 図1中に示す薄膜磁性体記憶装置の製造方法の第5工程を示す平面図である。

【図11】 図1中に示す薄膜磁性体記憶装置の製造方法の第5工程を示す断面図である。

【図12】 図1中に示す薄膜磁性体記憶装置の製造方法の第6工程を示す断面図である。

【図13】 図1中に示す薄膜磁性体記憶装置の製造方法の第7工程を示す断面図である。

【図14】 図1中に示す薄膜磁性体記憶装置の製造方法の第8工程を示す断面図である。

【図15】 図1中に示す薄膜磁性体記憶装置の製造方法の第9工程を示す断面図である。

【図16】 図1中に示す薄膜磁性体記憶装置の製造方法の第10工程を示す平面図である。

【図17】 図1中に示す薄膜磁性体記憶装置の製造方法の第10工程を示す断面図である。

【図18】 図1中に示す薄膜磁性体記憶装置の製造方法の第11工程を示す断面図である。

【図19】 図1中に示す薄膜磁性体記憶装置の製造方法の第12工程を示す断面図である。

【図20】 図1中に示す薄膜磁性体記憶装置の製造方法の第13工程を示す平面図である。

【図21】 図1中に示す薄膜磁性体記憶装置の製造方法の第13工程を示す断面図である。

【図22】 図16中のレジスト膜にかわる他のレジスト膜を示す平面図である。

【図23】 図1中に示す薄膜磁性体記憶装置の製造方法の第14工程を示す断面図である。

【図24】 図1中に示す薄膜磁性体記憶装置の製造方法の第15工程を示す断面図である。

【図25】 図1中に示す薄膜磁性体記憶装置の製造方法の第16工程を示す断面図である。

【図26】 図1中に示す薄膜磁性体記憶装置の製造方法の第17工程を示す断面図である。

【図27】 図1中に示す薄膜磁性体記憶装置の製造方法の第18工程を示す断面図である。

す断面図である。

【図28】 図1中に示す薄膜磁性体記憶装置の製造方法の第19工程を示す断面図である。

【図29】 図1中に示す薄膜磁性体記憶装置の製造方法の第20工程を示す断面図である。

【図30】 この発明の実施の形態2における薄膜磁性体記憶装置を示す平面図である。

【図31】 図30中に示す薄膜磁性体記憶装置の製造方法の工程を示す平面図である。

【図32】 この発明の実施の形態3における薄膜磁性体記憶装置を示す断面図である。

【図33】 図32中の薄膜磁性体記憶装置を示す平面図である。

【図34】 図33中のXXXIV-XXXIV線上に沿った断面図である

【図35】 図32中に示す薄膜磁性体記憶装置の製造方法の第1工程を示す断面図である。

【図36】 図32中に示す薄膜磁性体記憶装置の製造方法の第2工程を示す平面図である。

【図37】 図32中に示す薄膜磁性体記憶装置の製造方法の第2工程を示す断面図である。

【図38】 図32中に示す薄膜磁性体記憶装置の製造方法の第3工程を示す断面図である。

【図39】 図32中に示す薄膜磁性体記憶装置の製造方法の第4工程を示す断面図である。

【図40】 図32中に示す薄膜磁性体記憶装置の製造方法の第5工程を示す断面図である。

【図41】 図32中に示す薄膜磁性体記憶装置の製造方法の第6工程を示す断面図である。

【図42】 図32中に示す薄膜磁性体記憶装置の製造方法の第7工程を示

す平面図である。

【図43】 図32中に示す薄膜磁性体記憶装置の製造方法の第7工程を示す断面図である。

【図44】 図32中に示す薄膜磁性体記憶装置の製造方法の第8工程を示す断面図である。

【図45】 図32中に示す薄膜磁性体記憶装置の製造方法の第9工程を示す断面図である。

【図46】 図32中に示す薄膜磁性体記憶装置の製造方法の第10工程を示す平面図である。

【図47】 図32中に示す薄膜磁性体記憶装置の製造方法の第10工程を示す断面図である。

【図48】 図32中に示す薄膜磁性体記憶装置の製造方法の第11工程を示す断面図である。

【図49】 図32中に示す薄膜磁性体記憶装置の製造方法の第12工程を示す断面図である。

【図50】 図32中に示す薄膜磁性体記憶装置の製造方法の第13工程を示す断面図である。

【図51】 図32中に示す薄膜磁性体記憶装置の製造方法の第14工程を示す断面図である。

【図52】 図32中に示す薄膜磁性体記憶装置の製造方法の第15工程を示す断面図である。

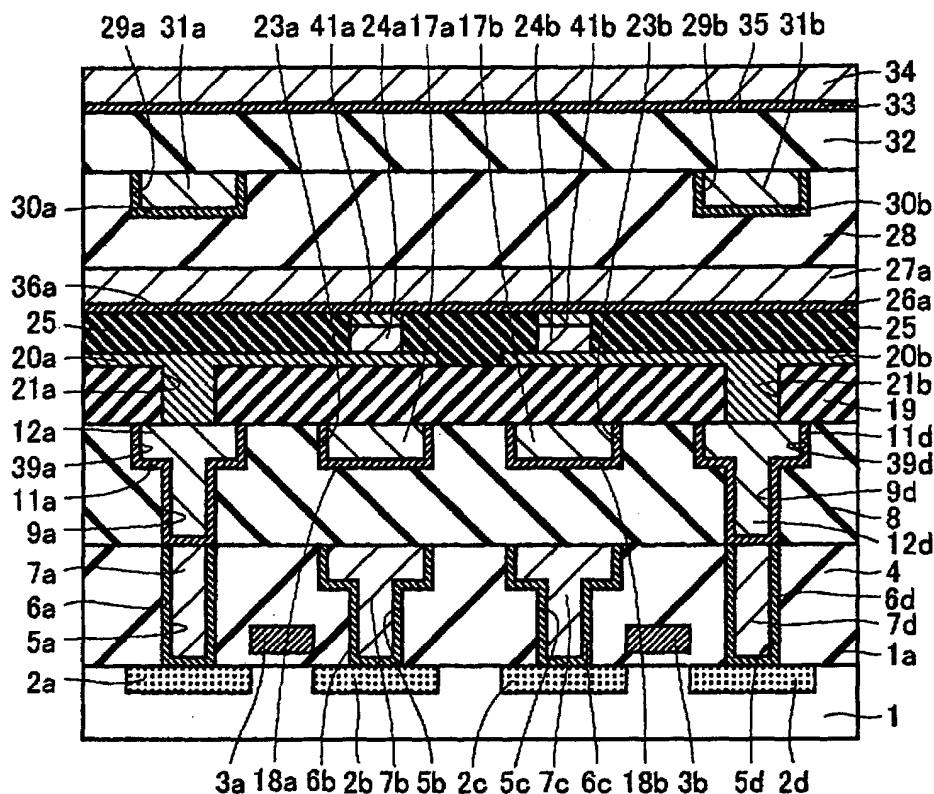
#### 【符号の説明】

1 シリコン基板、1a 主表面、20, 72 導電性材料、20a, 20b, 20m, 20n ストラップ、24, 74 TMR積層膜、24a, 24b, 24m, 24n, 74a, 74b, 74c, 74d, 74m, 74n, 74p, 74q TMR素子、26a, 26b バリアメタル膜、27a, 27b, 72a, 72b, 72c, 72d 導電体膜、41a, 41b, 41m, 41n, 75a, 75b, 75c, 75d, 75m, 75n, 75p, 75q バッファ層、52 第1の面、51 第2の面、53 傾斜面、54, 55, 56, 61,

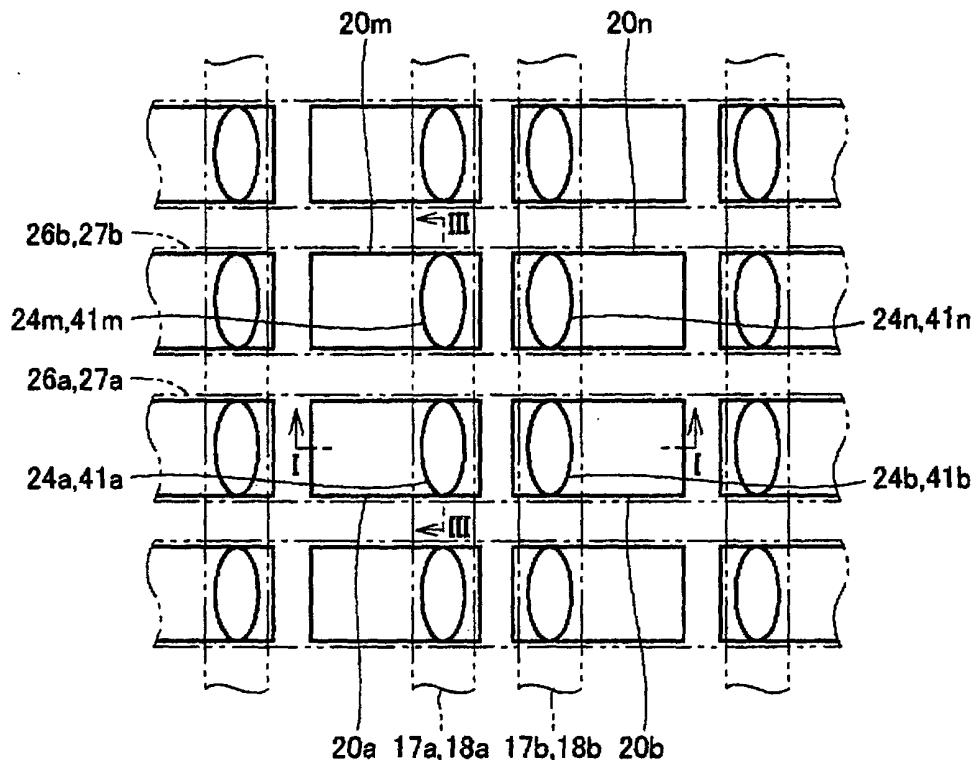
81, 82 レジスト膜。

【書類名】 図面

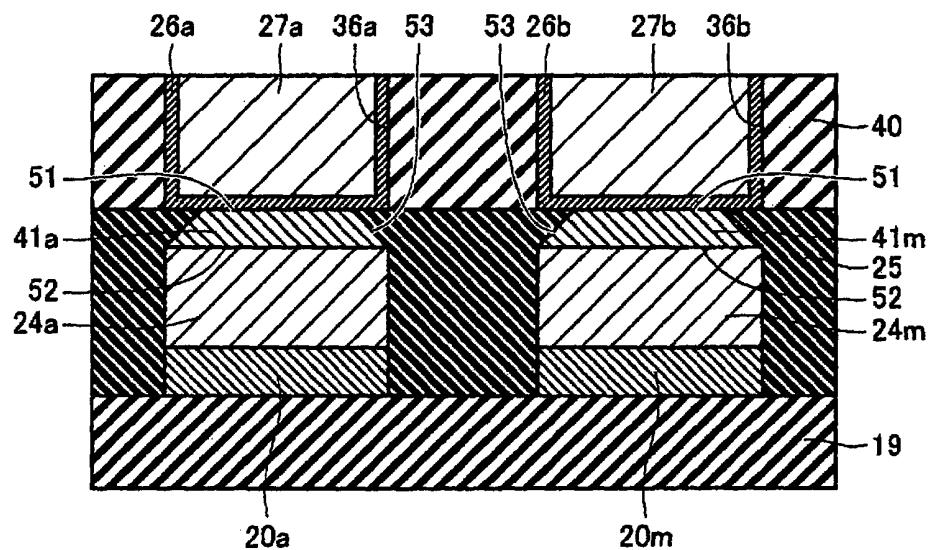
【図1】



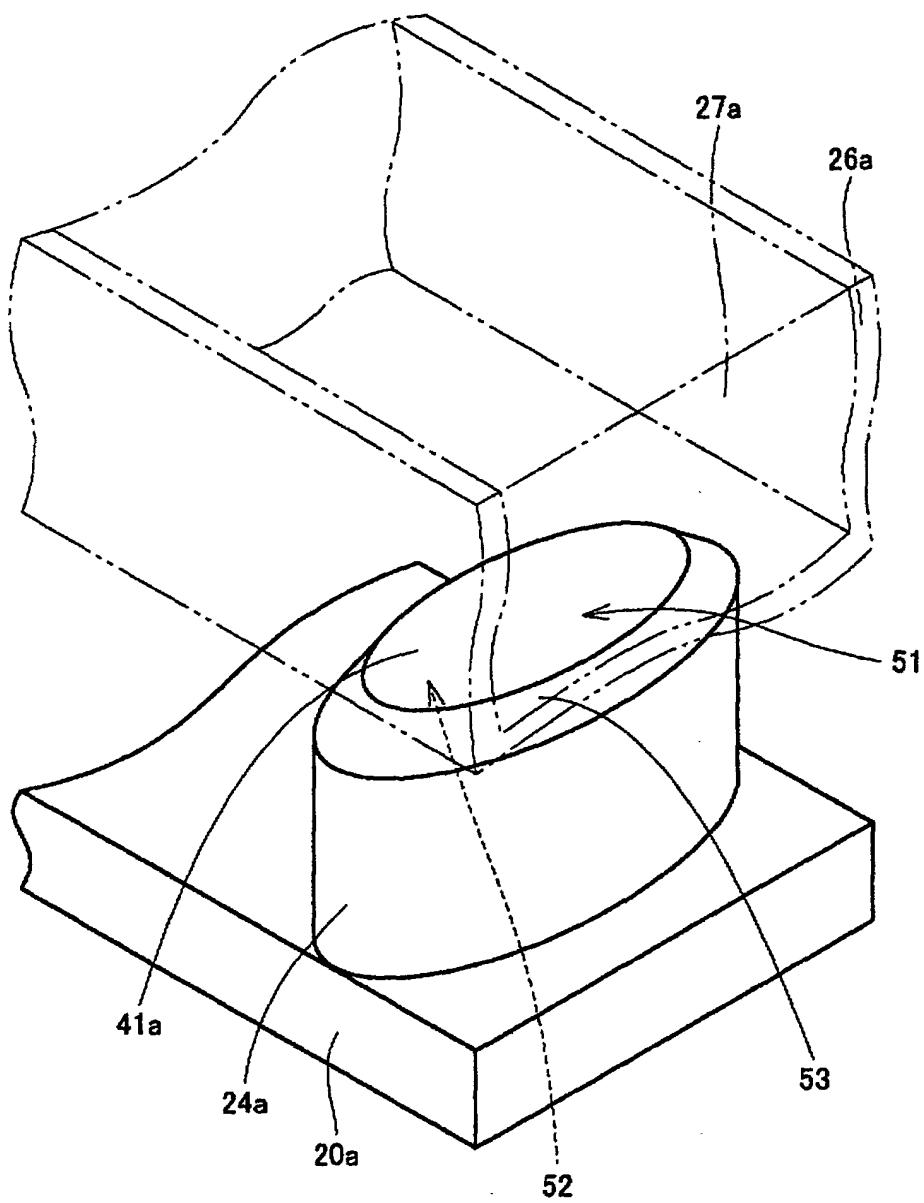
【図2】



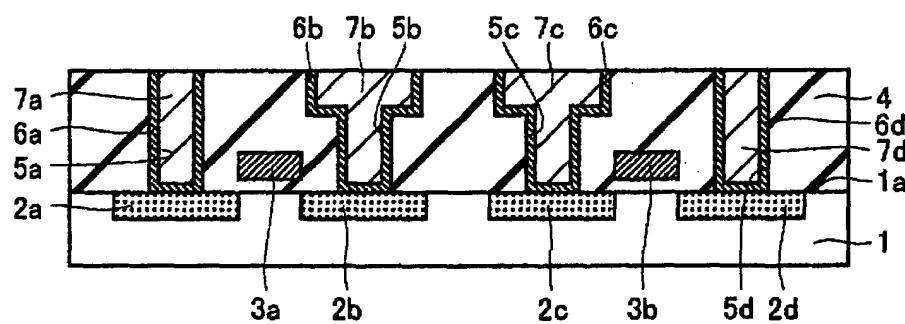
【図3】



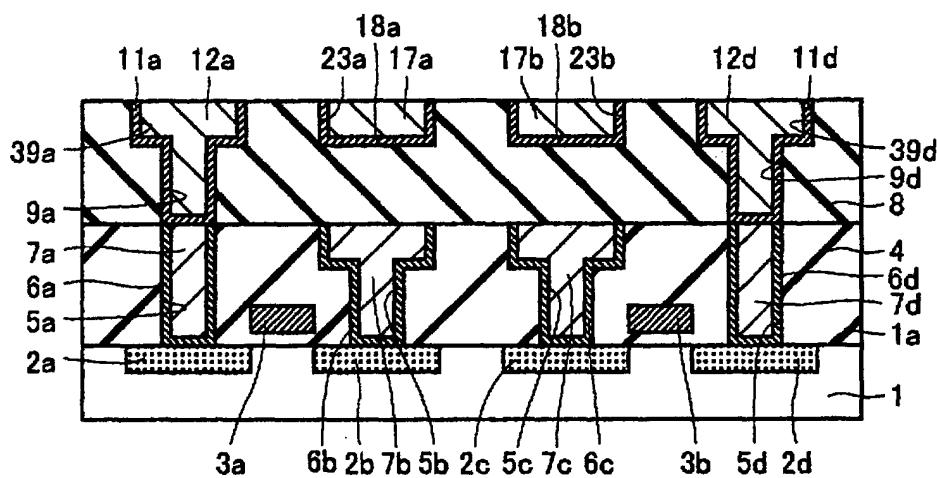
【図4】



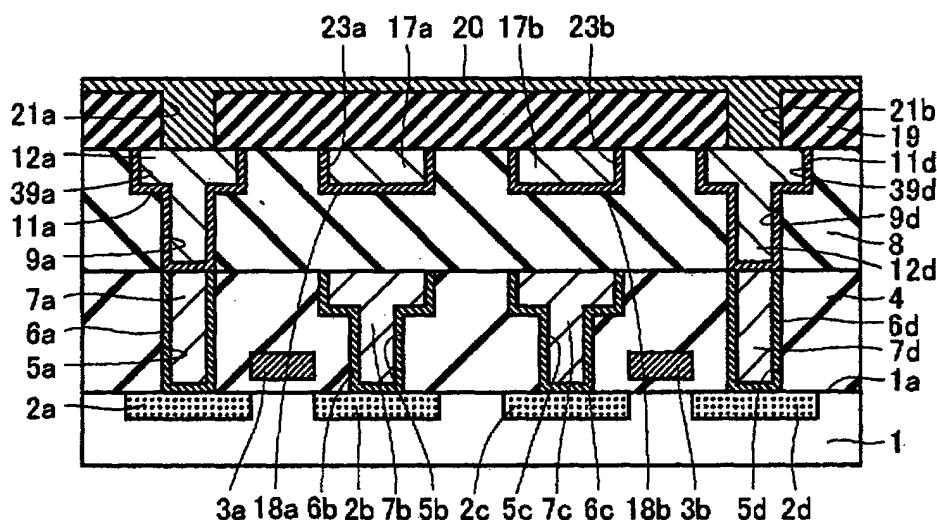
【図5】



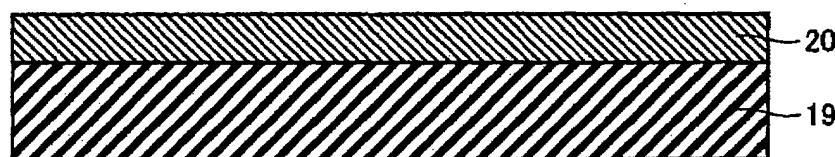
【図6】



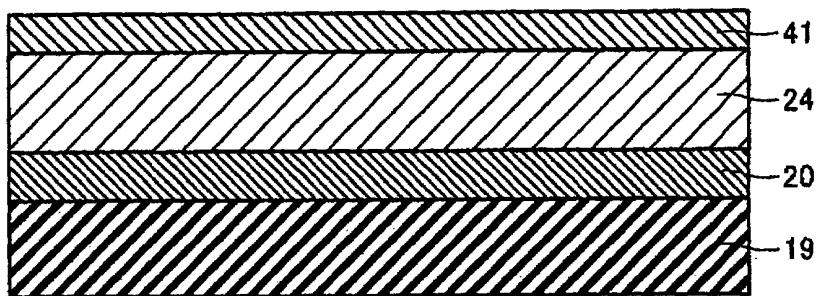
【図7】



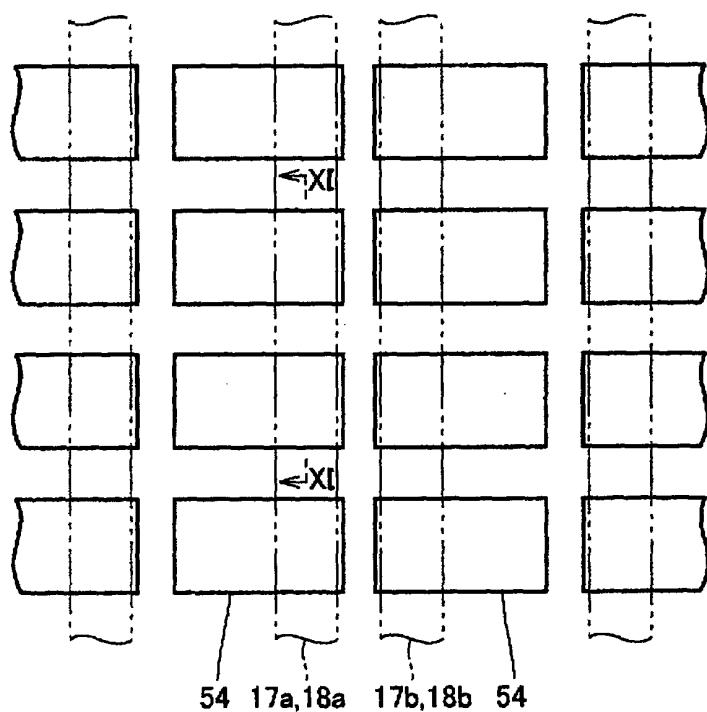
【図8】



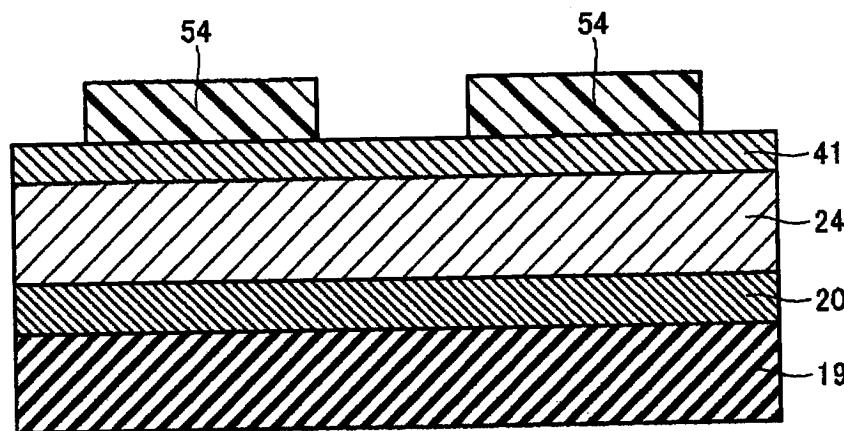
【図9】



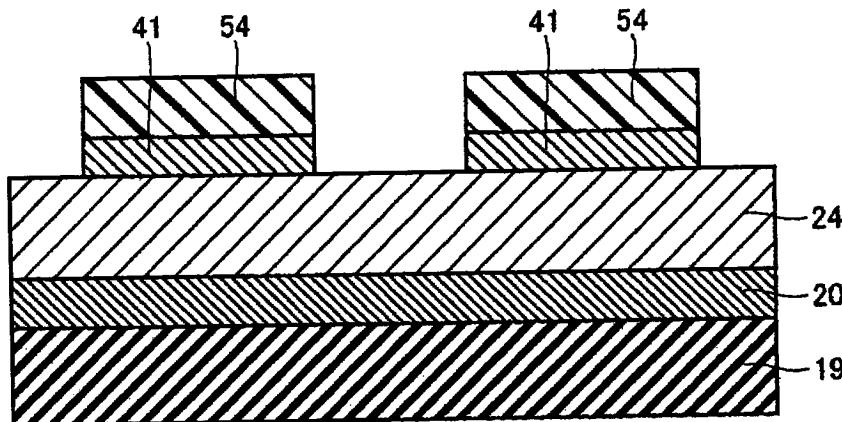
【図10】



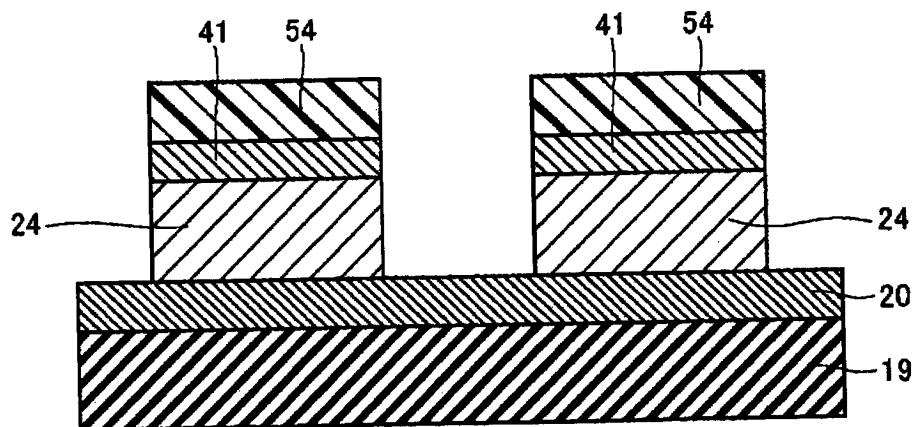
【図11】



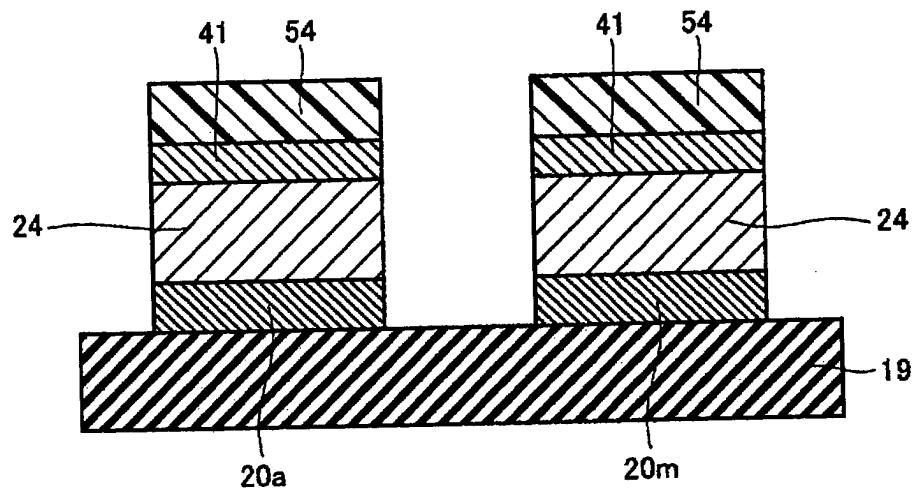
【図12】



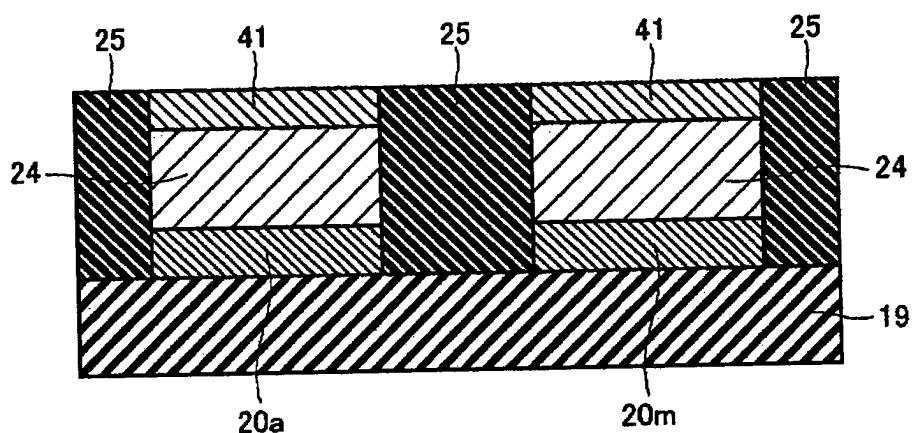
【図13】



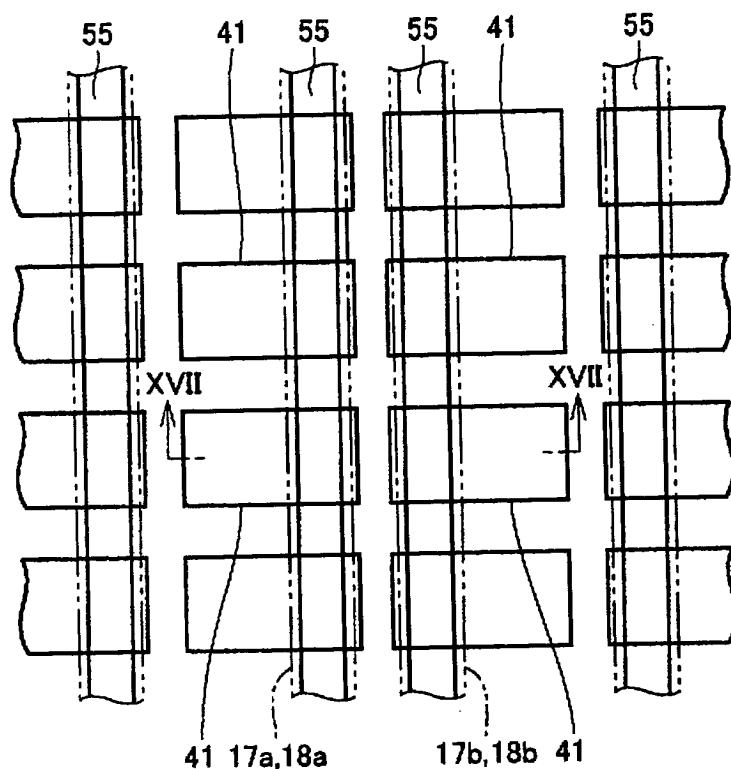
【図14】



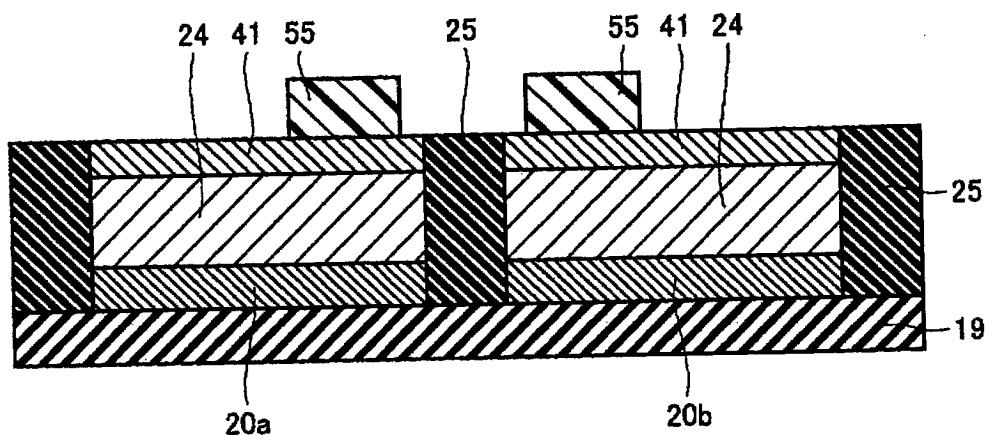
【図15】



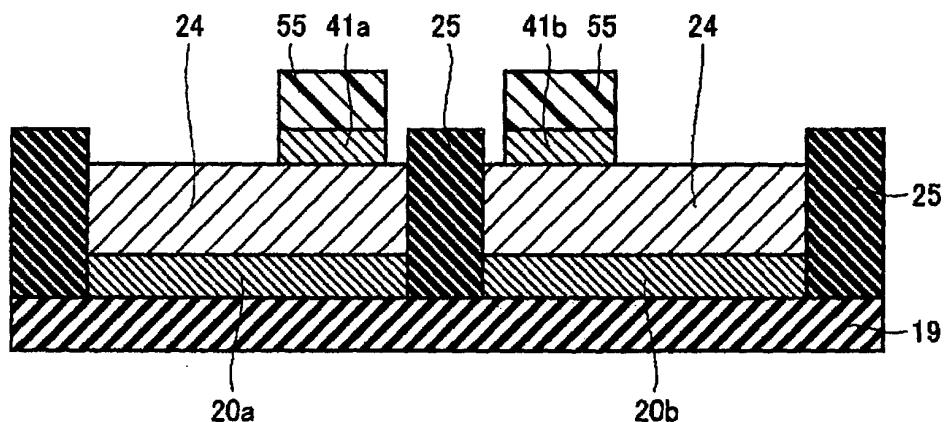
### 【図16】



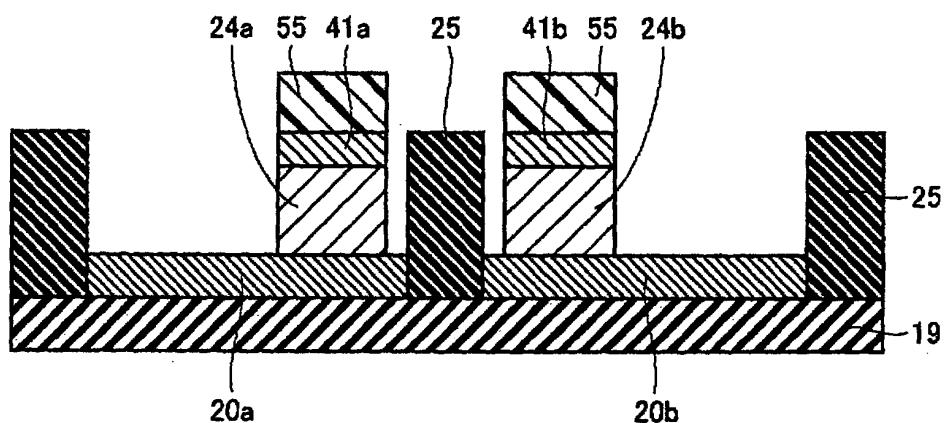
【図17】



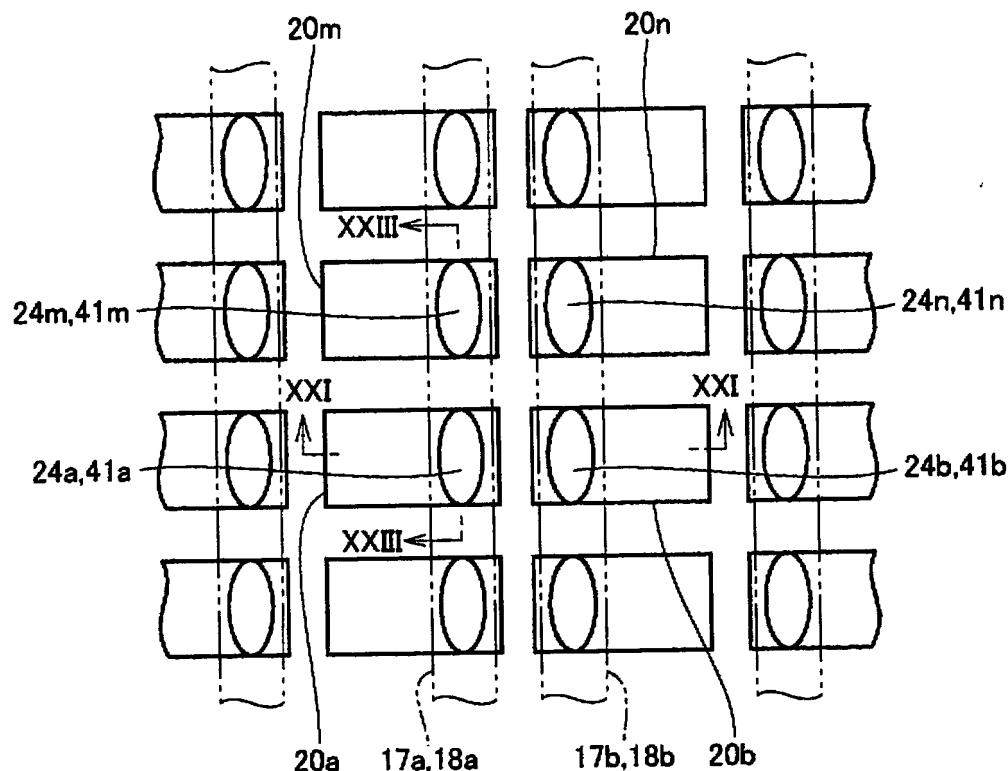
【図18】



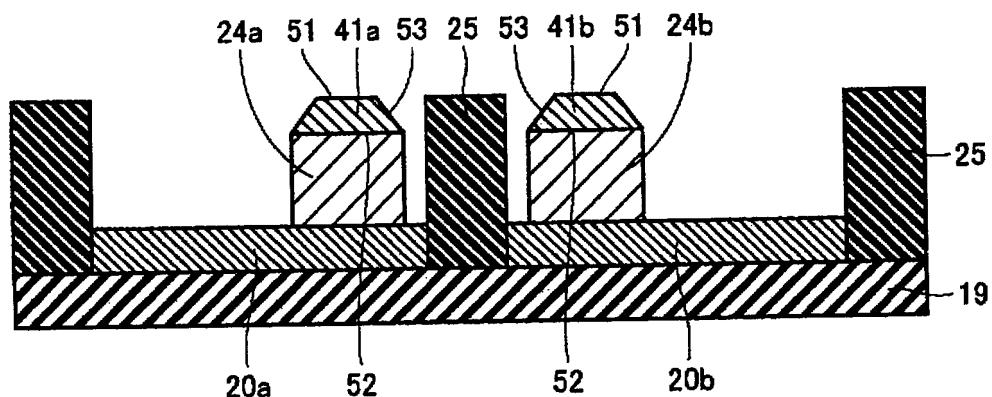
【図19】



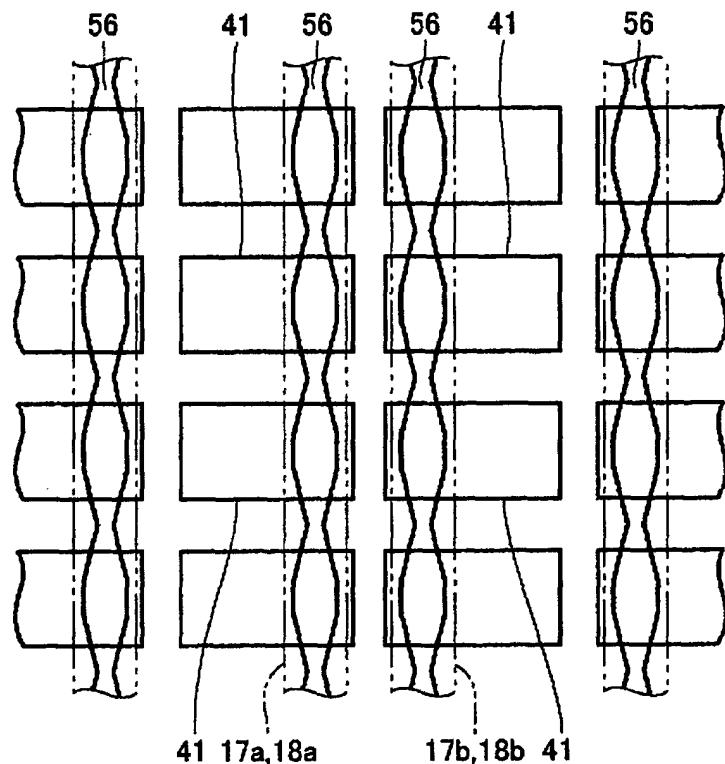
【図20】



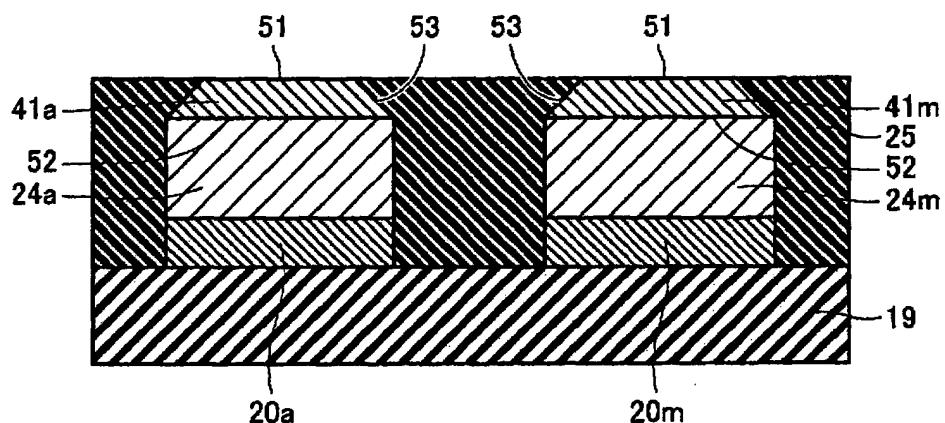
【図21】



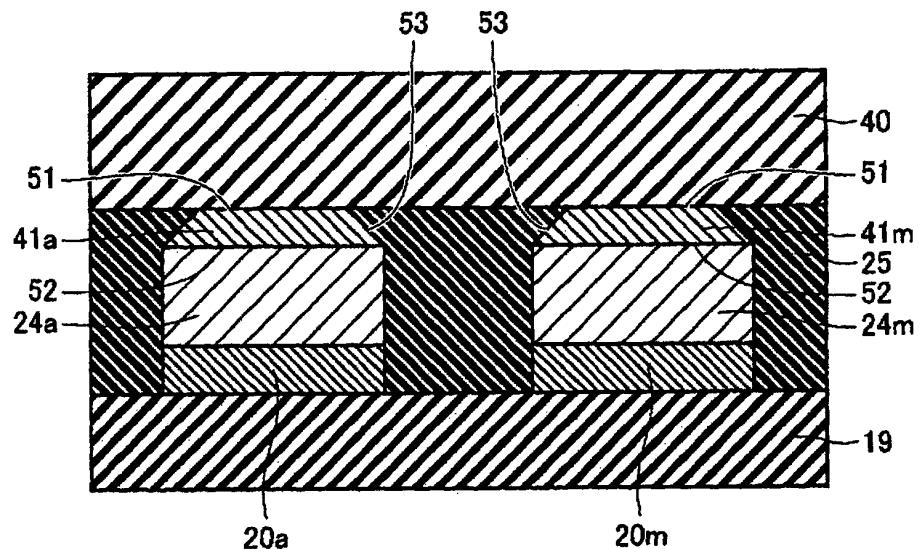
【図22】



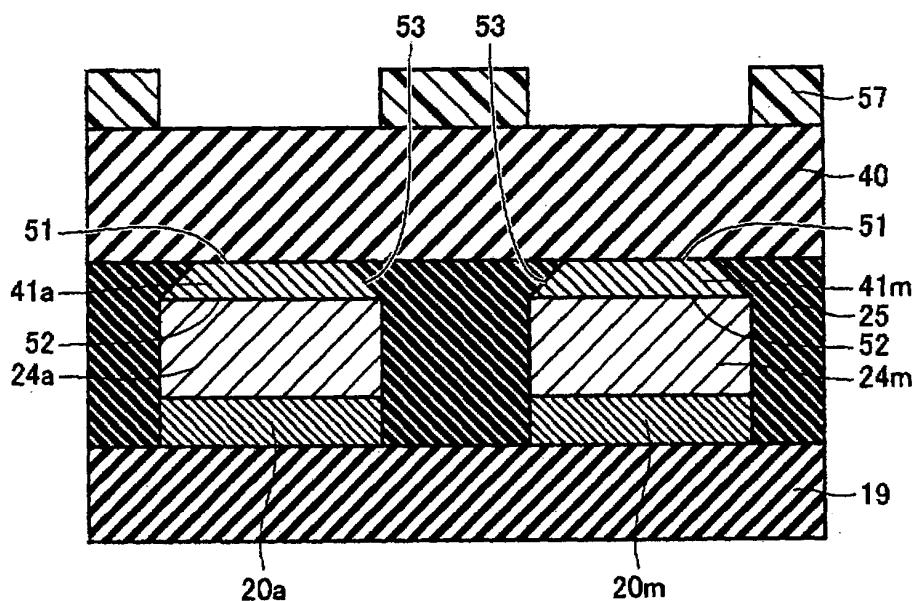
【図23】



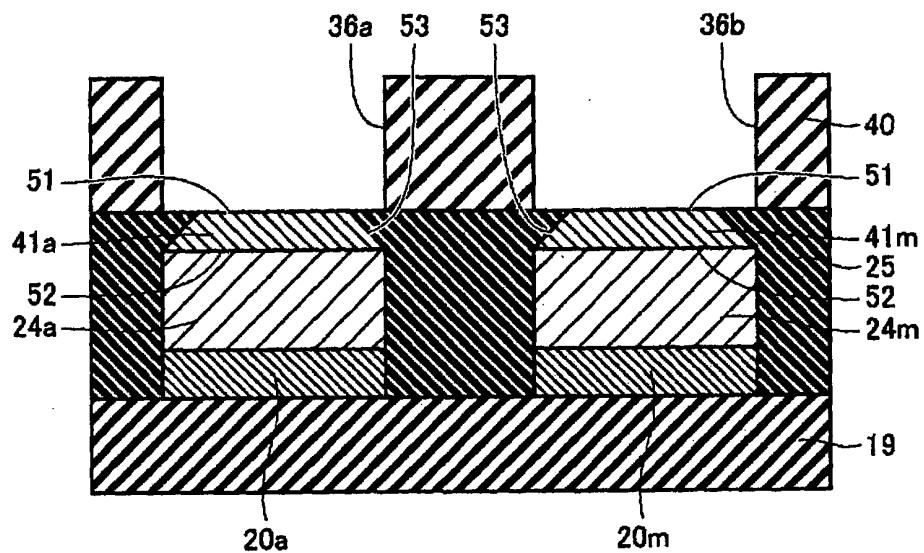
【図24】



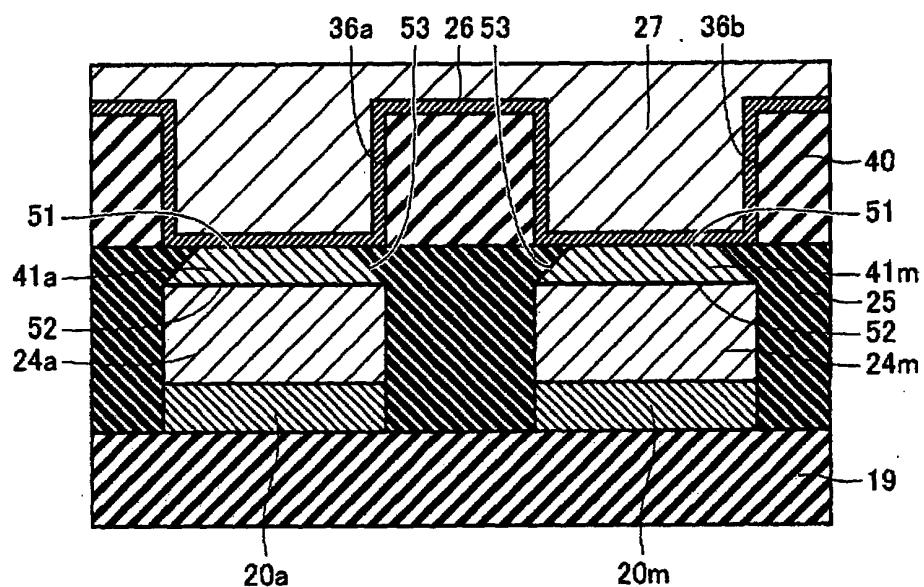
【図25】



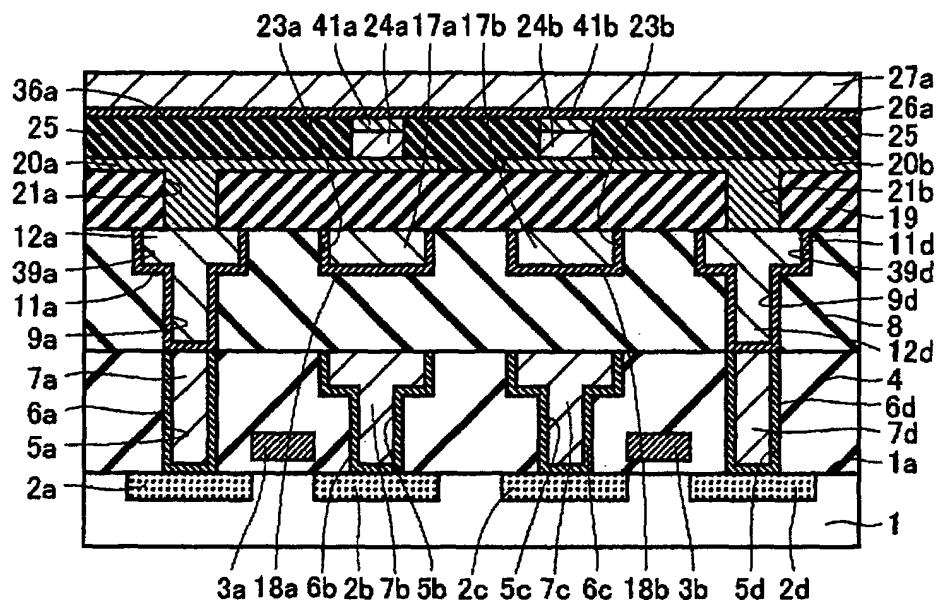
【図26】



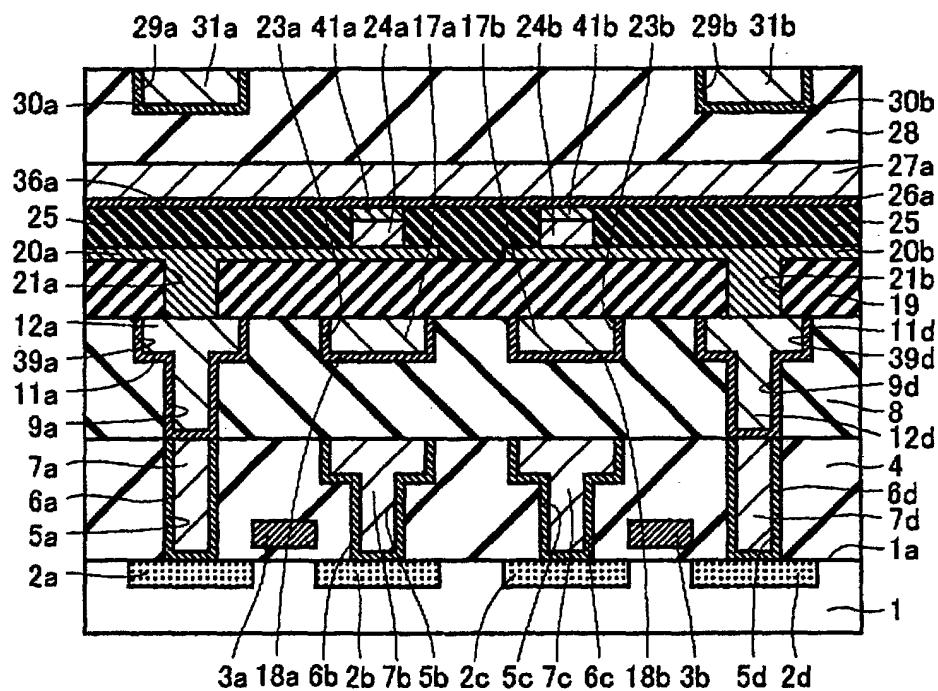
【図27】



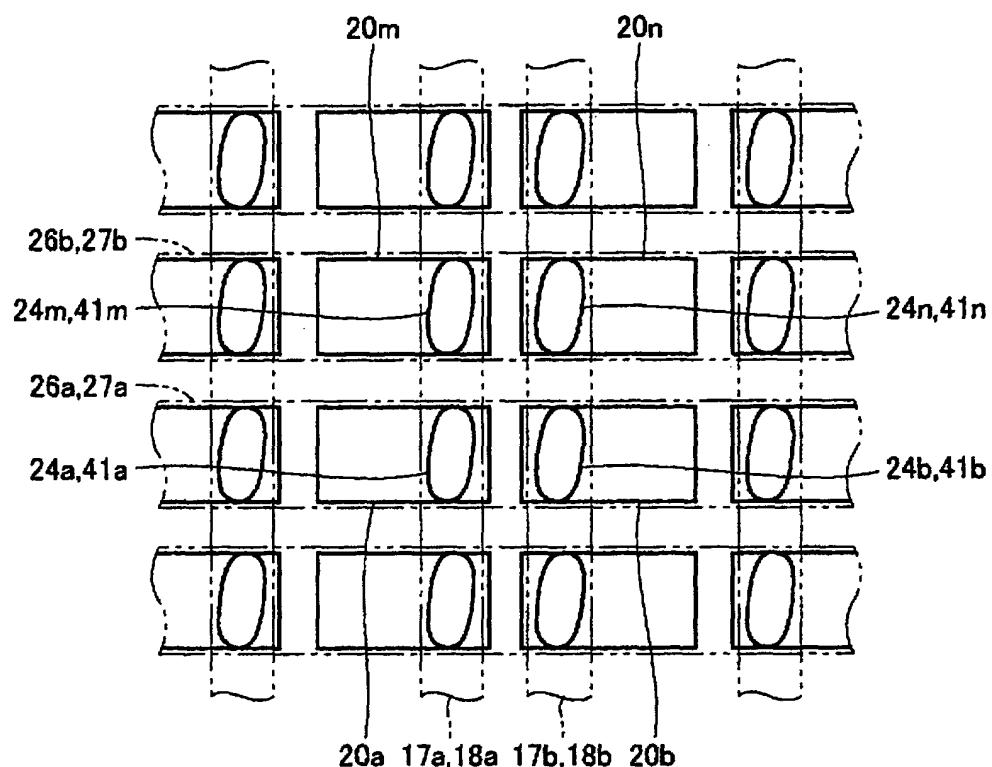
【図28】



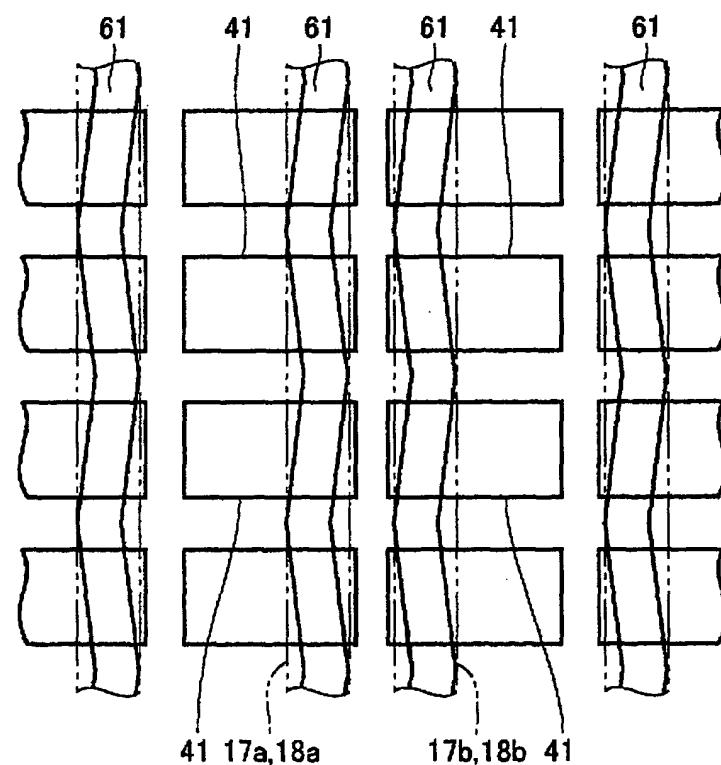
【図29】



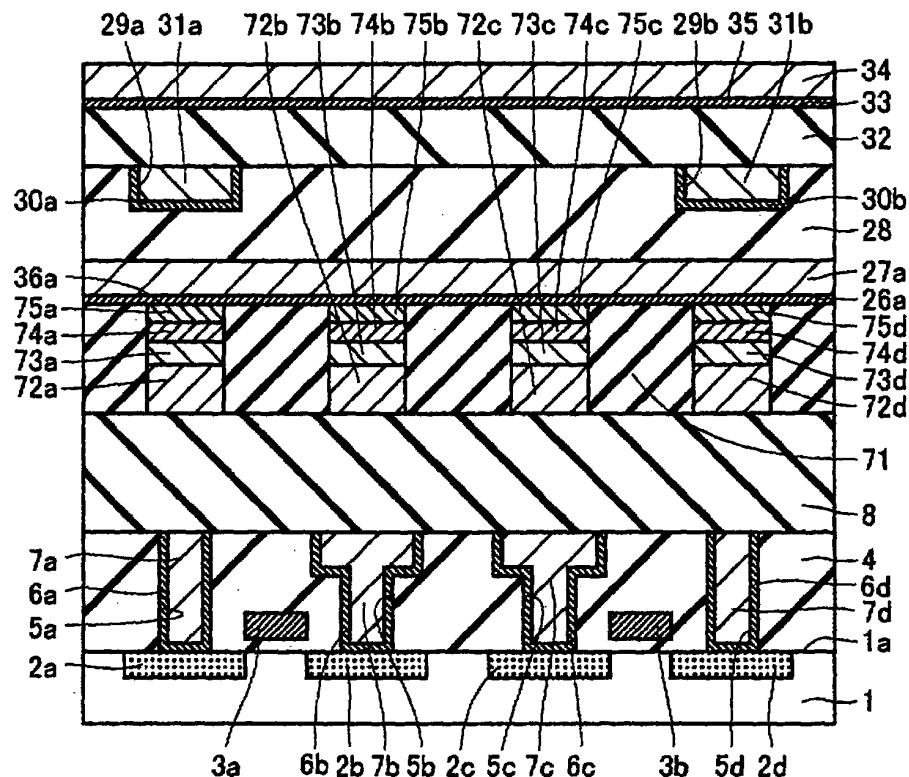
【図30】



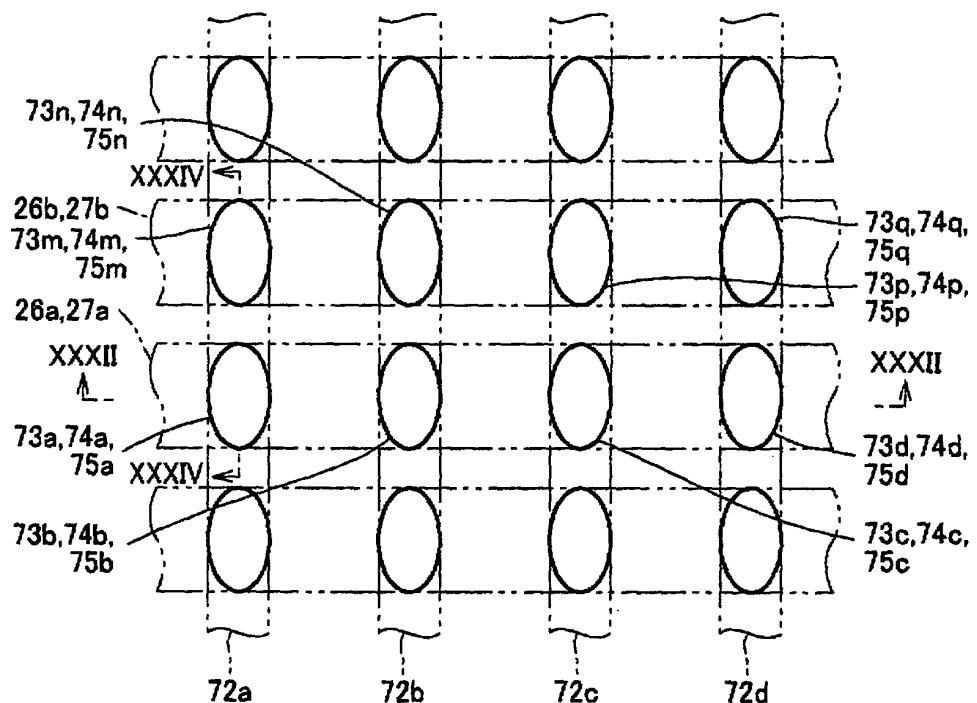
【図31】



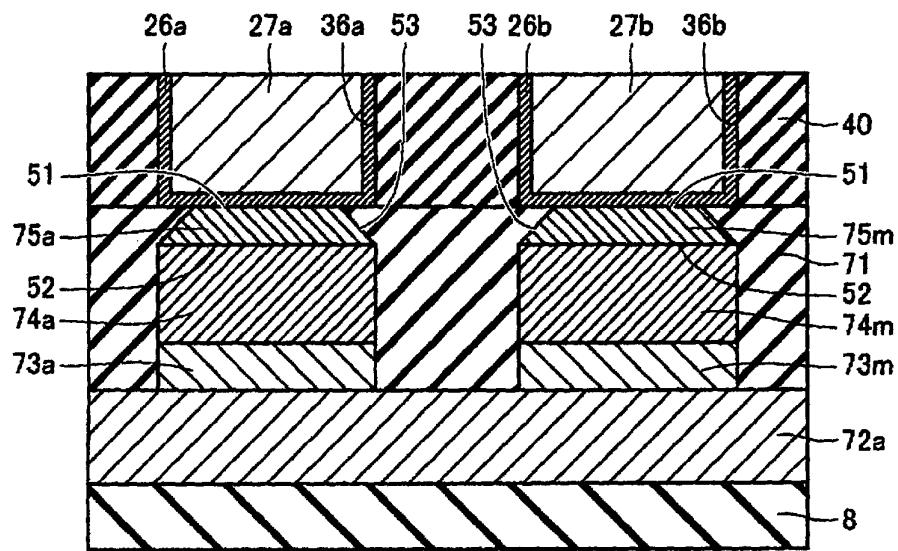
【図32】



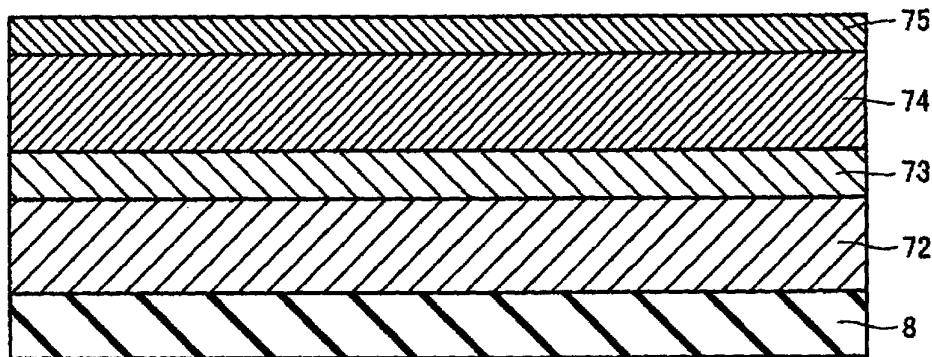
【図33】



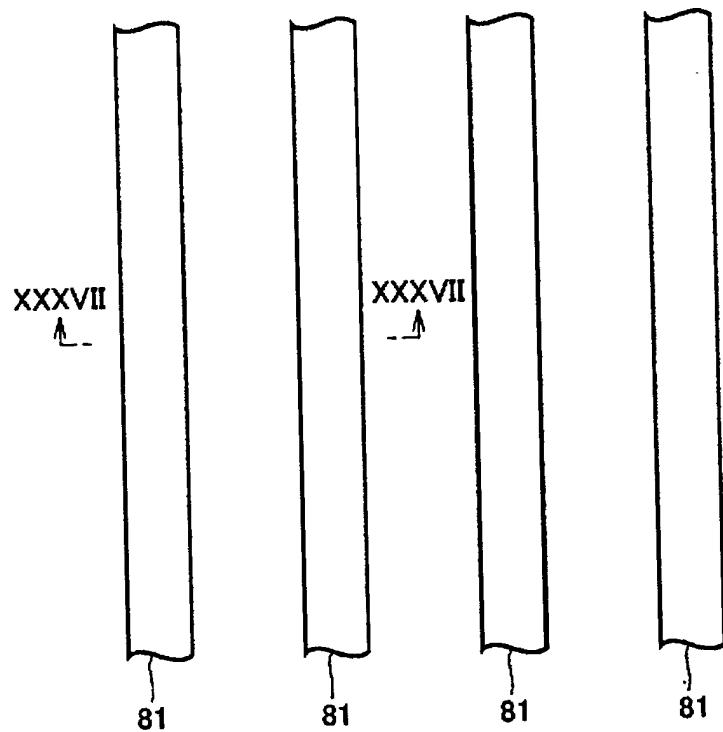
【図34】



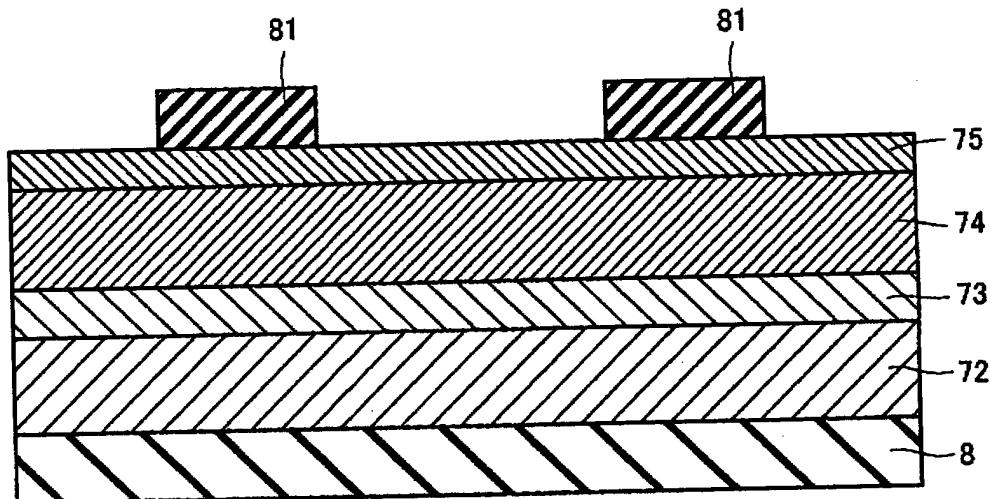
【図35】



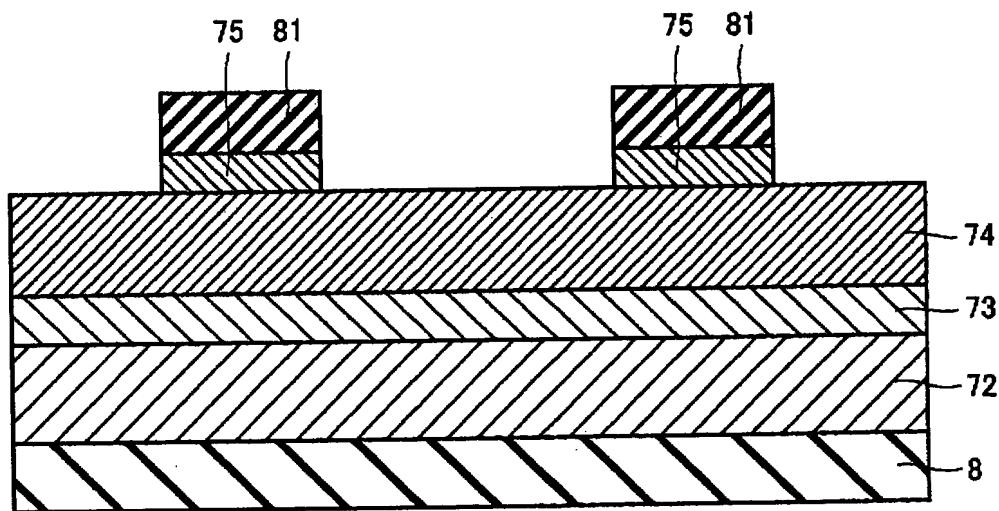
【図36】



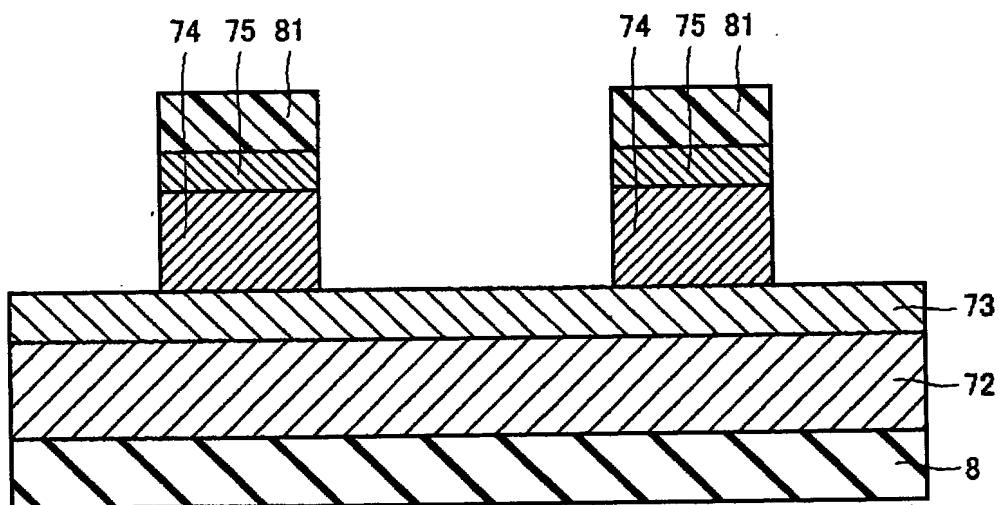
【図37】



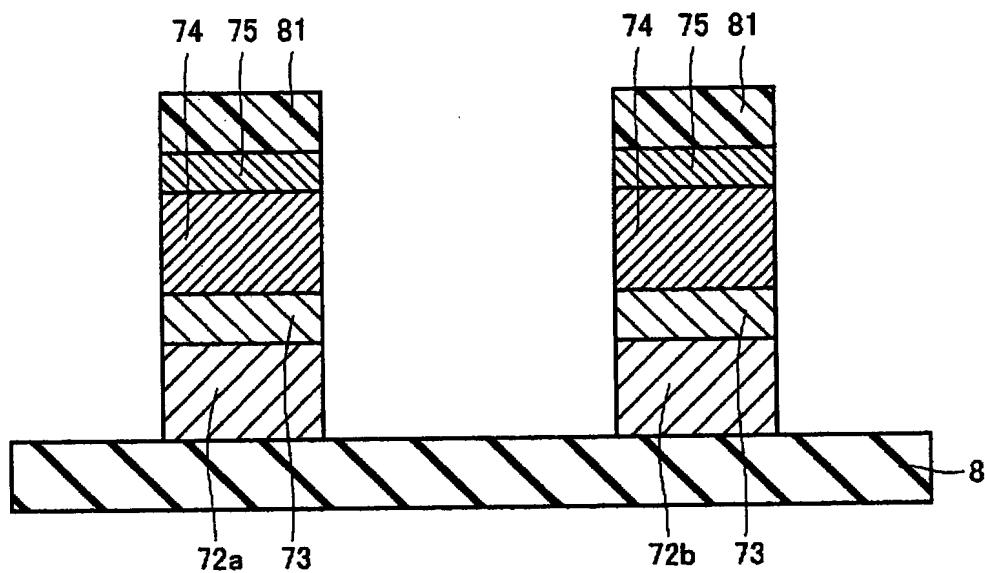
【図38】



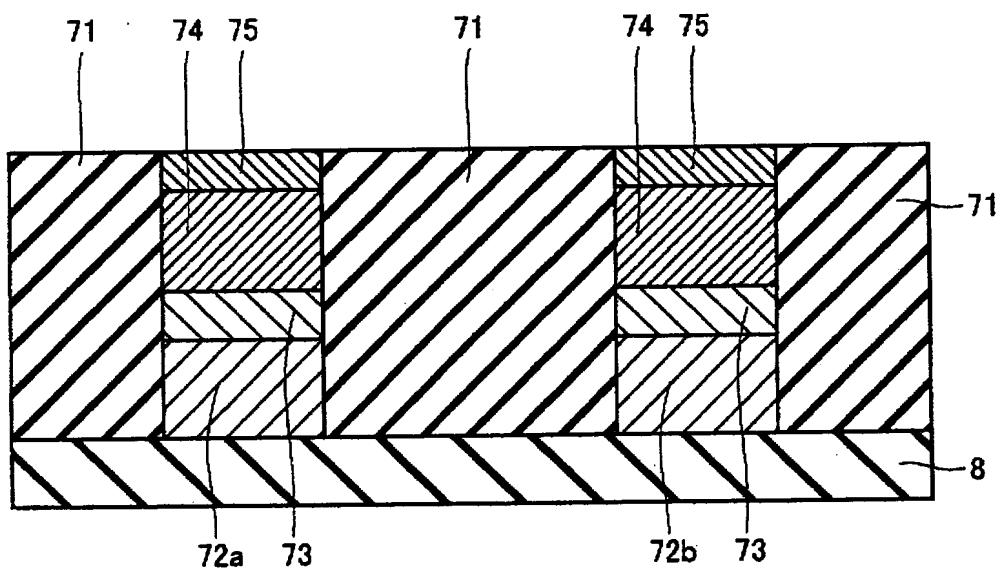
【図39】



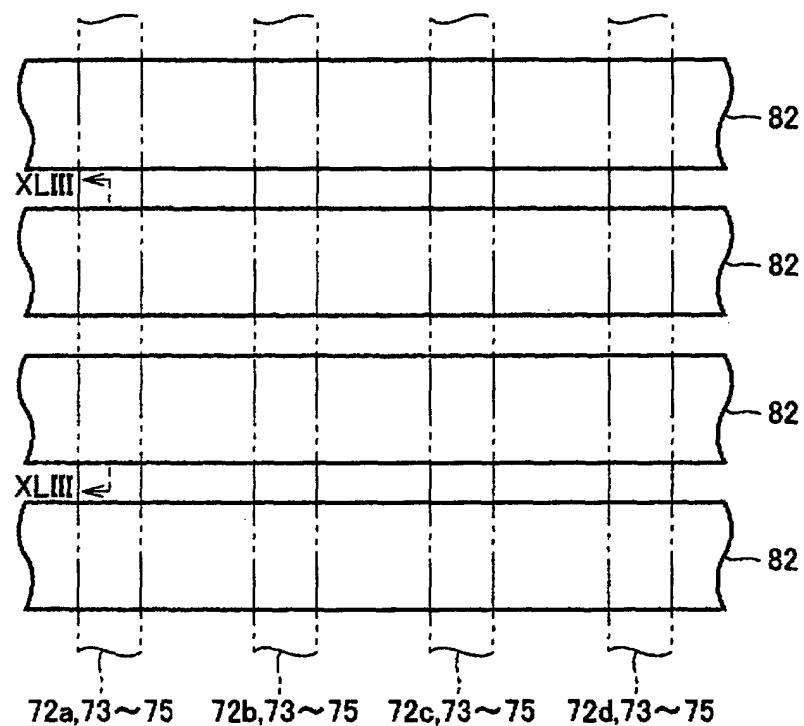
【図40】



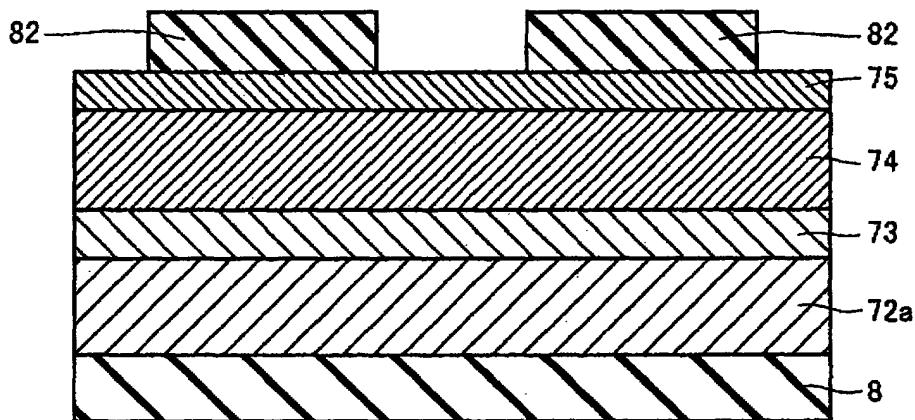
【図41】



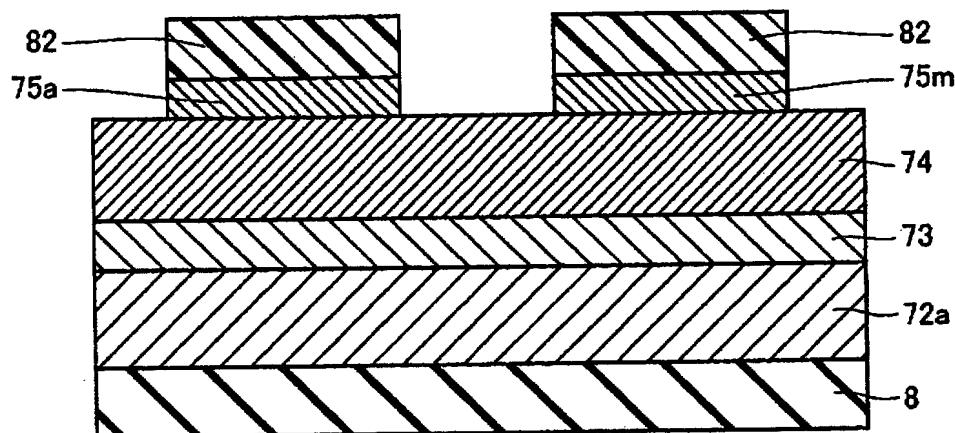
【図4 2】



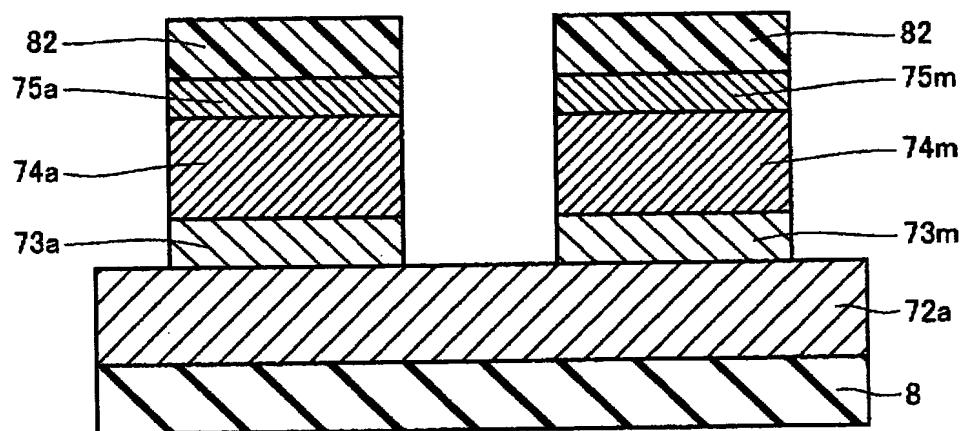
【図4 3】



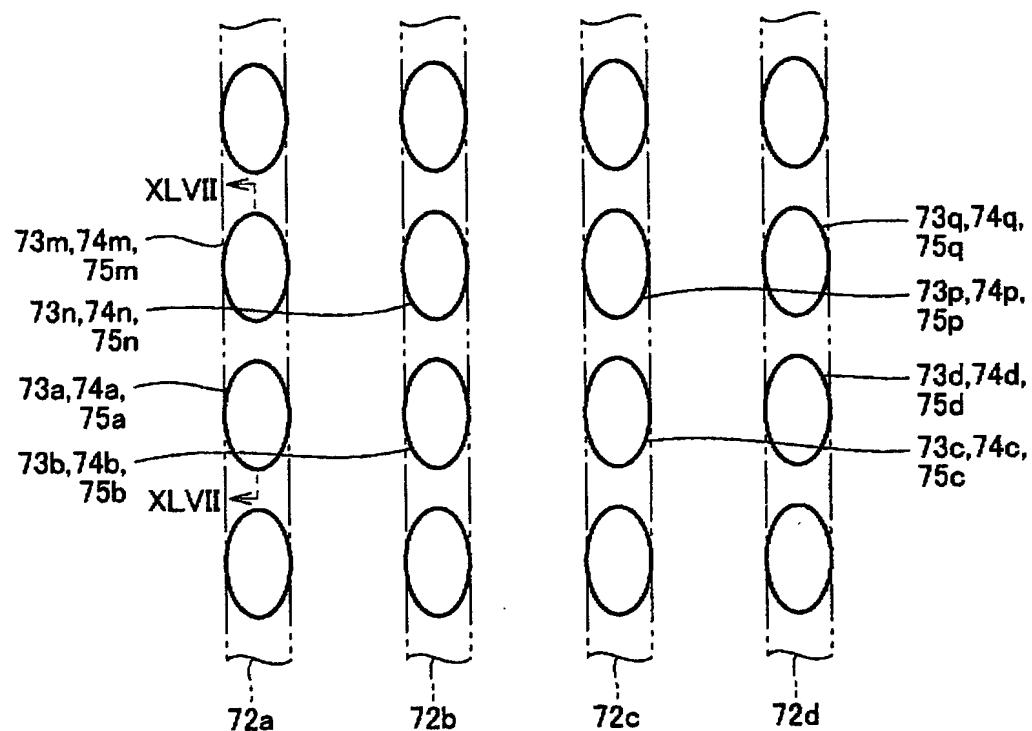
【図44】



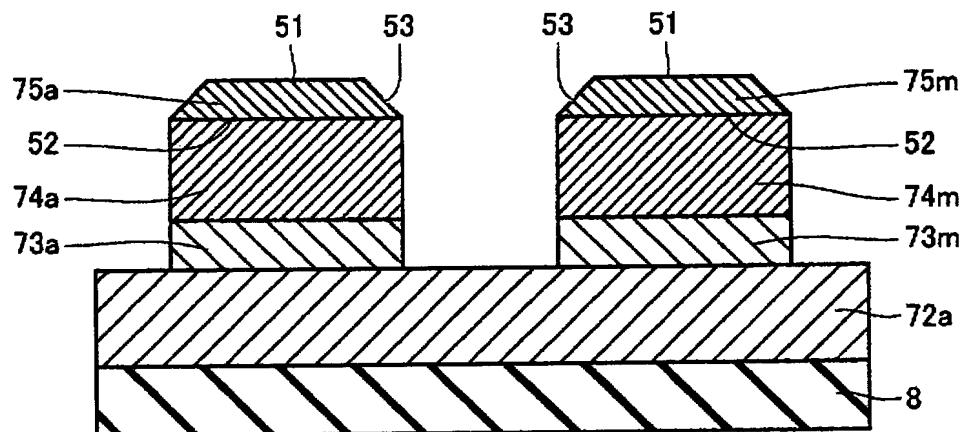
【図45】



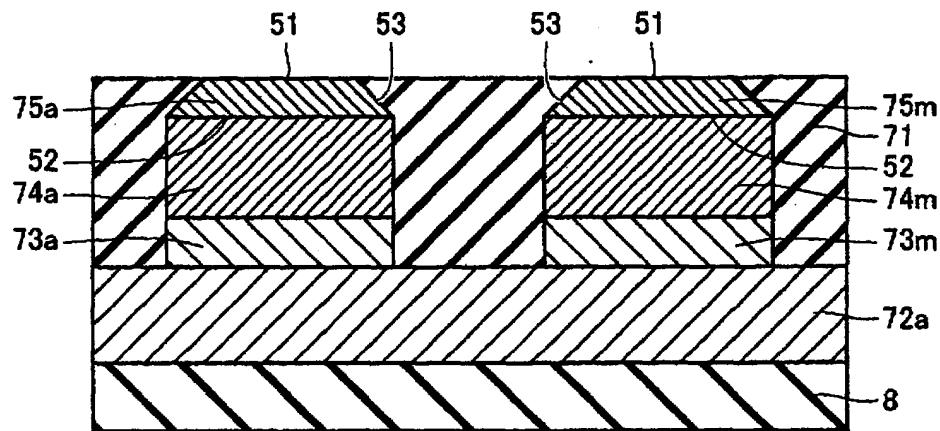
【図46】



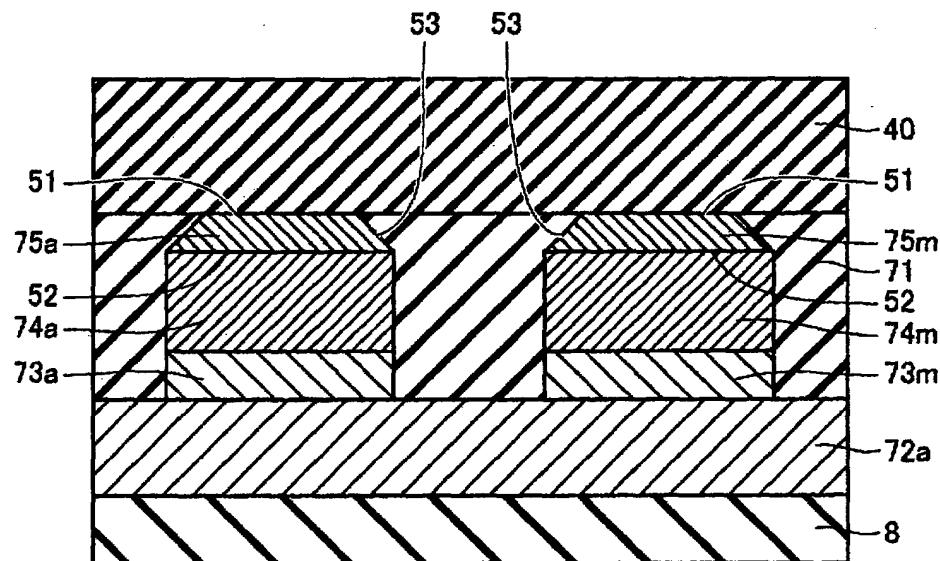
【図47】



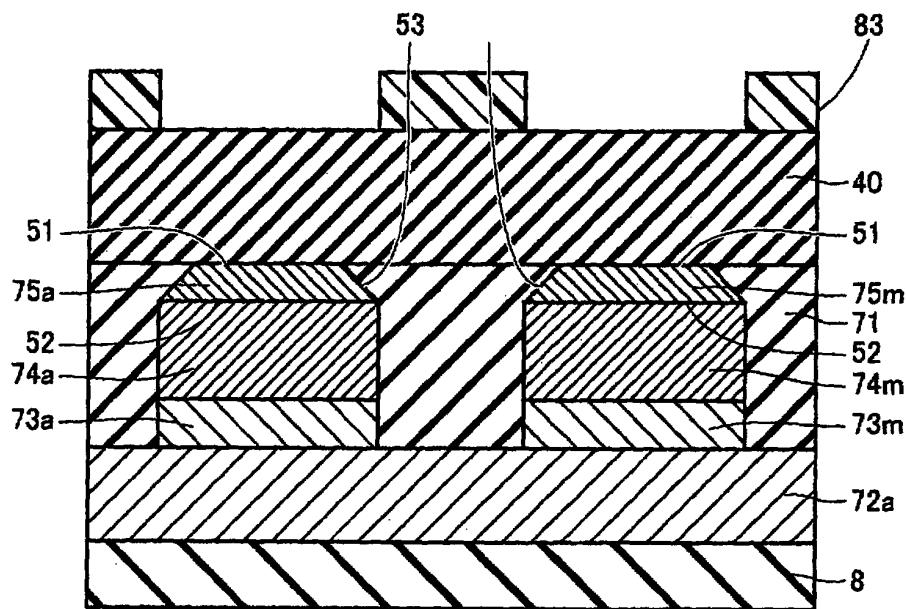
【図48】



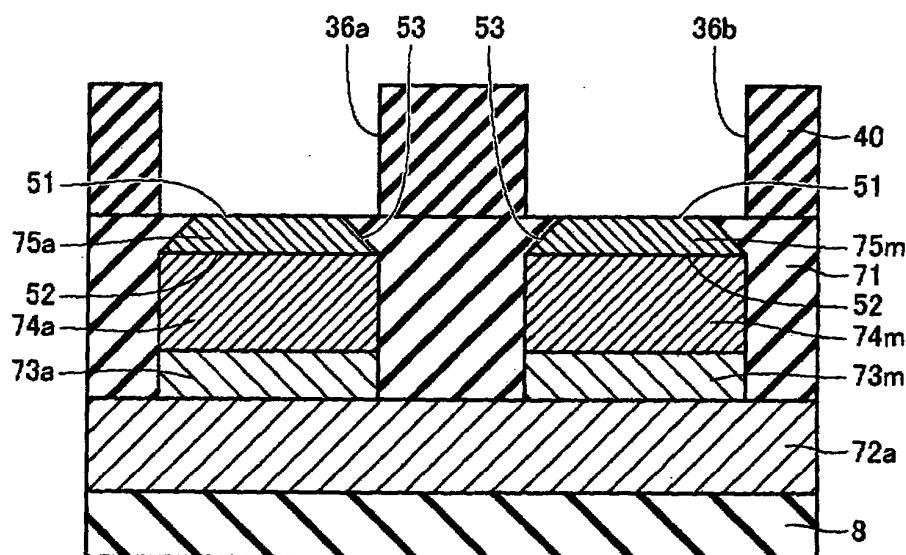
【図49】



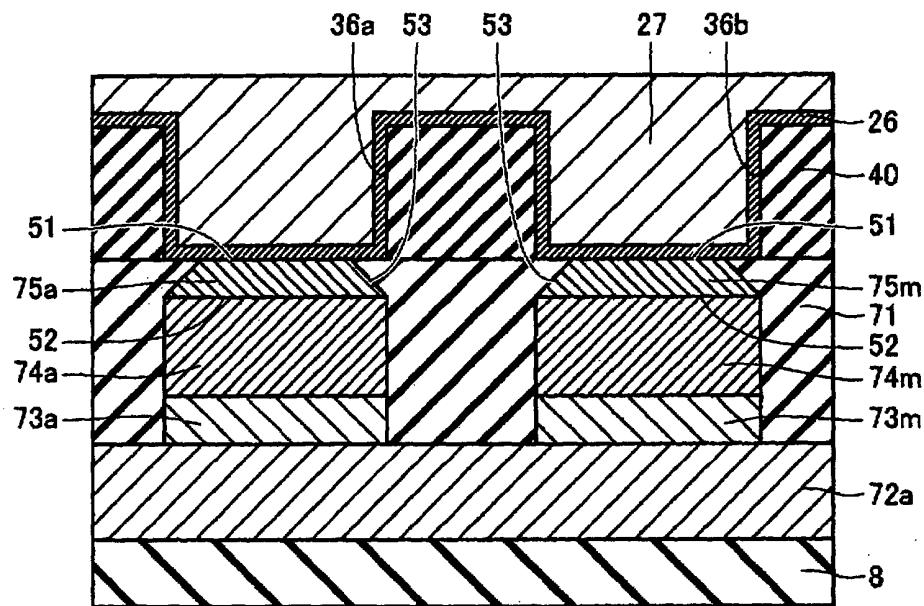
【図50】



【図51】



【図52】



【書類名】 要約書

【要約】

【課題】 メモリセルの微細化を実現するとともに、信頼性の高い薄膜磁性体記憶装置およびその製造方法を提供する。

【解決手段】 薄膜磁性体記憶装置は、シリコン基板の主表面上に設けられ、メモリ素子として動作するTMR素子24aと、TMR素子24aに接触する第1の面52と、第1の面52の反対側に位置し、第1の面52の面積よりも小さい面積で形成された第2の面51とを有するバッファ層41aと、TMR素子24aと交差するように一方向に延在し、第2の面51に接触する導電体膜27aおよびバリアメタル膜26aからなるビット線とを備える。

【選択図】 図4

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社